

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-157179

(43)Date of publication of application : 08.06.2001

-----  
(51)Int.Cl. H04N 7/08

H04N 7/081

H04J 3/00

H04N 5/92

H04N 7/083

H04N 7/084

H04N 7/085

-----  
(21)Application number : 11-341313 (71)Applicant : SONY CORP

(22)Date of filing : 30.11.1999 (72)Inventor : TATEZAWA KAICHI

-----  
(54) DEVICE AND METHOD FOR SUPERIMPOSING, DEVICE AND METHOD FOR  
PROCESSING DATA AND RECORDING MEDIUM

(57)Abstract:

PROBLEM TO BE SOLVED: To accurately transmit the data of a format for the unit of 10 bits to a device for processing respective samples in units of eight bits.

SOLUTION: A superimposing device 1 superimposes meta-data to be processed for the unit of eight bits in the user data area of active lines during the vertical fly-back line period of video data of an SDI format as needed and outputs these data to a video tape recorder(VTR) 2. When superimposing the meta-data, the superimposing device 1

inserts the header of an SDTI format to a correspondent horizontal fly-back line period. When the SDTI header is detected, the VTR 2 acquires and processes eight bits on the side of LSB, as the user data of the correspondent scan lines.

**\* NOTICES \***

**JPO and INPIT are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## **CLAIMS**

---

[Claim(s)]

[Claim 1]A superposition device which superimposes the 2nd digital data on the 1st digital data that makes the 1st number of bits a unit, comprising:

A judging means which judges the number of bits of a unit of said 2nd digital data.

A superposing means which adds a header and superimposes said 2nd digital data on said 1st digital data when it is what makes a unit the 2nd number of bits that is different from said 1st number of bits corresponding to a decision result of said judging means as for said 2nd digital data.

[Claim 2]The superposition device according to claim 1 which said 1st digital data is a video data, and said 2nd digital data is metadata, and is characterized by said superposing means superimposing said metadata on said header at the retrace line section of said video data.

[Claim 3]The superposition device according to claim 2, wherein said superposing means superimposes said header on the horizontal flyback section of said video data and superimposes said metadata on a vertical blanking interval of said video data.

[Claim 4]The superposition device according to claim 1, wherein said 1st number of bits is larger than said 2nd number of bits.

[Claim 5]The superposition device according to claim 4, wherein said 1st number of bits is 10 bits and said 2nd number of bits is 8 bits.

[Claim 6]The superposition device according to claim 4, wherein said superposing means superimposes said 2nd digital data on the LSB side of said 1st number of bits.

[Claim 7]The superposition device according to claim 1, wherein said superposing means superimposes a header of a SDTI format as said header while superimposing it so that said 1st digital data can be processed as data of a SDI format.

[Claim 8]A superposition method of a superposition device which superimposes the 2nd digital data on the 1st digital data that makes the 1st number of bits a unit characterized by comprising the following.

A determination step which judges the number of bits of a unit of said 2nd digital data.

A superposition step which adds a header and superimposes said 2nd digital data on said 1st digital data when it is what makes a unit the 2nd number of bits that is different from said 1st number of bits corresponding to a decision result in said determination step as for said 2nd digital data.

[Claim 9]A program which controls a superposition device which superimposes the 2nd digital data on the 1st digital data that makes the 1st number of bits a unit, comprising:

A determination step which judges the number of bits of a unit of said 2nd digital data.

A superposition step which adds a header and superimposes said 2nd digital data on said 1st digital data when it is what makes a unit the 2nd number of bits that is different from said 1st number of bits corresponding to a decision result in said determination step as for said 2nd digital data.

[Claim 10]A data processing device which inputs the 1st digital data in the state

where it is superimposed on the 2nd digital data, and processes it, comprising:

An acquisition means which acquires said 1st digital data.

A detection means to detect a header from said 1st digital data acquired by said acquisition means.

The 1st processing means that processes said 2nd digital data as data which makes the 1st number of bits a unit when said header is detected corresponding to a detection result of said detection means.

The 2nd processing means processed as data which makes a unit the 2nd number of bits that is different from the 1st number of bits in said 2nd digital data when said header is not detected corresponding to a detection result of said detection means.

[Claim 11]The data processing device according to claim 10 which said 1st digital data is a video data, and said 2nd digital data is metadata, and is characterized by extracting said 1st processing means and the 2nd processing means from the retrace line section of said video data, and processing said metadata.

[Claim 12]While said header is extracted from the horizontal flyback section of said video data and said 1st processing means processes it, The data processing device according to claim 11, wherein it extracts and processes said metadata from a vertical blanking interval of said video data and said 2nd processing means extracts and processes said metadata from a vertical blanking interval of said video data.

[Claim 13]The data processing device according to claim 10, wherein said 1st number of bits is larger than said 2nd number of bits.

[Claim 14]The data processing device according to claim 13, wherein said 1st number of bits is 10 bits and said 2nd number of bits is 8 bits.

[Claim 15]The data processing device according to claim 14, wherein it extracts said 1st processing means and the 2nd processing means from the LSB side of said 1st number of bits and they process said 2nd digital data.

[Claim 16]The data processing device according to claim 10, wherein it processes said 1st processing means and the 2nd processing means as data of SDI formatting of said 1st digital data and said detection means detects a header of a SDTI format as said header.

[Claim 17]A data processing method of a data processing device which inputs the 1st digital data in the state where it is superimposed on the 2nd digital data, and processes it characterized by comprising the following.

An acquisition step which acquires said 1st digital data.

A detecting step which detects a header from said 1st digital data acquired by

processing of said acquisition step.

The 1st processing step that processes said 2nd digital data as data which makes the 1st number of bits a unit when said header is detected corresponding to a detection result of processing of said detecting step.

The 2nd processing step processed as data which makes a unit the 2nd number of bits that is different from the 1st number of bits in said 2nd digital data when said header is not detected corresponding to a detection result of processing of said detecting step.

[Claim 18]A program which inputs and controls a data processing device to process by the state where the 1st digital data is superimposed on the 2nd digital data, comprising:

An acquisition step which acquires said 1st digital data.

A detecting step which detects a header from said 1st digital data acquired by processing of said acquisition step.

The 1st processing step that processes said 2nd digital data as data which makes the 1st number of bits a unit when said header is detected corresponding to a detection result of processing of said detecting step.

The 2nd processing step processed as data which makes a unit the 2nd number of bits that is different from the 1st number of bits in said 2nd digital data when said header is not detected corresponding to a detection result of processing of said detecting step.

2.\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is about a superposition device and a method, a data processing device, a method, and a recording medium. It is related with the superposition device and the method, data processing device and method of transmitting correctly the digital data in which the numbers of bits which serve as a unit especially differ to the latter part, and having enabled it to make it process, and a recording medium.

[0002]

[Description of the Prior Art] Various kinds of standards of transmitting a video data are specified with the spread of video equipment. For example, Society of Motion Picture and Television Engineers (SMPTE (Society of Motion Picture and Television Engineers)), As 259M, it is based on ITU (International Telecommunication Union)-R BT.601, It was considered as the standard which carries out the serial transmission of the ancillary video data, and SDI (Serial Digital Interface) is specified.

[0003] According to this SDI, as shown in drawing 1, for example Each left-hand side of an odd number field and an even number field, It is made as [ insert / ancillary data ] as H ancillary from EAV (End Of Active Video) before SAV (Start Of Active Video).

[0004] In [ in an odd number field, can insert ancillary data in from the line 1 before the line 20 as V ancillary, and ] an even number field, It is made as [ superimpose / ancillary data ] as V ancillary from the line 264 before the line 283. In [ in the odd number field, it is made again as / insert / the between from the line 10 to the line 20 / the video data as an option /, and ] an even number field, It is made as [ insert / in from the line 273 before the line 283 / the video data as an option ]. And in the odd number field, from the line 20 to the line 264 is made into the active video data as an effective video data, and let from the line 283 to the last line be an active video data in the even number field.

[0005] Drawing 2 expresses one line of a video signal. Drawing 2 (A) expresses the analog signal.

Drawing 2 (B) expresses the format in the case of digitizing the analog signal for this one line.

As shown in the figure, the active video data is made as [ express / with 1440 samples from the number 0 to the number 1439 ].

In the meantime, luminance data [ of 720 samples ] Y, the color difference data Cb of 360 samples, and the color difference data Cr of 360 samples multiplex in order of Cb, Y, Cr, and Y, respectively.

[0006]The effective level blanking (retrace line) section is made into 268 samples, a part for four samples of the left-hand side is set to EAV, and a part for four samples of the right-hand side is set to SAV. Each sample is made as [ express / by 10 bits ].

[0007]When ancillary data is made V ancillary and it superimposes it on a vertical blanking interval, the format is specified by SMPTE 291M as shown in drawing 3. As shown in the figure, a number (N pieces) required between SAV and EAV (it corresponds to EAV on the right-hand side of drawing 1) of packets are arranged. ADF (Ancillary Data Flag) is arranged at the head of each packet. This ADF expresses that that packet is ancillary data.

10 bits of the beginning are set to 0x000, the following 10 bits are set to 0x3FF, and, specifically, as for the value, 10 bits of the last are set to 0x3FF (it expresses that 0x is a hexadecimal number).

[0008]DID (Data ID) is arranged eight by the side of LSB (Least Significant Bit) of the following 10 bits, and SDID (SecondaryData ID) is arranged at 8 bits of low ranks which are the following 10 bits.

[0009]DC (Data Count) expresses the sample number of the next UDW (User Data Word). UDW constitutes the substance of ancillary data.

[0010]As for MSB (Most Significant Bit) (bit b9) of each sample to DID thru/or UDW of a more than, the inversion bit (the bit b8. 0 if it becomes 1, 1 if it becomes 0) of the bit (bit b8) of one low rank is arranged. Let the bit b8 be an even parity bit from the bit b7 to the bit b0.

[0011]Checksum CS (Checksum) for error detection is arranged at the last of the packet. This checksum CS comprises 9 bits from the bit b8 to the bit b0, and let MSB be an inversion bit of the bit b8 too.

[0012]Only the number which needs the packet of such composition is arranged between SAV and EAV as a timing reference signal.

[0013]

[Problem(s) to be Solved by the Invention]As UDW shown in drawing 3, when transmitting the metadata (Meta Data), in 291M of SMPTE, transmitting using 8 bits by the side of LSB is specified.

[0014]Metadata is data accompanying video or the main data (essence) of an audio, and it is also called the data rough data (Data About Data).

[0015]on the other hand, a teletext and VITC (Vertical Interval Time Code) -- or, V ancillary data carries out data (hereafter, these are summarized and an ancillary video data is called) like a test video data, When it superimposes on a vertical blanking interval, except for eight kinds of inhibit codes (0x000, 0x001, 0x002, 0x003, 0x3FC, 0x3FD, 0x3FE, 0x3FF), all of 10 bits from MSB to LSB are used.

[0016]The device which has the capability for each sample to process the data of SDI as what is expressed considering 10 bits as a unit can extract both an ancillary video data and metadata correctly, and can process it. However, when the device with which each sample has only the capability processed as what is constituted considering 8 bits as a unit receives the data transmitted in the SDI format, Usually, since 8 bits by the side of MSB are incorporated, an ancillary video data can be processed practical so satisfactorily. However, in 291M, since 2 bits by the side of MSB are not a bit which constitutes metadata primarily, metadata becomes difficult [ it / to perform exact processing ].

[0017]Then, when each sample transmits the metadata constituted considering 8 bits as a unit, it is also possible to cope with it by extracting only top 6 bits with a sampled value [ each ] of 8 bits, and making it arrange to the MSB side of the 10 bits of a 6-bit SDI format.

[0018]However, when it is made such, the mapping process for changing the data to 6 bits from 8 bits is needed, Since the composition of hardware not only becomes so complicated, but only 6 bits is originally transmitted in capacity in spite of being able to carry out 8 bit transmissions, transmission capacity will be used effectively.

[0019]This invention is made in view of such a situation, and enables it to transmit metadata correctly.

[0020]

[Means for Solving the Problem]Written this invention is characterized by a device comprising the following at claim 1.

A judging means which judges the number of bits of a unit of the 2nd digital data.

A superposing means which adds a header and superimposes the 2nd digital data on the 1st digital data when it is what makes a unit the 2nd number of bits that is different from the 1st number of bits corresponding to a decision result of a judging



means as for the 2nd digital data.

[0021] Said 1st digital data is made into a video data, and the 2nd digital data is made into metadata and can make the retrace line section of a video data superimpose a header and metadata on a superposing means.

[0022] The horizontal flyback section of a video data is made to superimpose a header on said superposing means, and metadata can be made to superimpose on a vertical blanking interval of a video data.

[0023] Said 1st number of bits can be made larger than the 2nd number of bits.

[0024] Said 1st number of bits can be 10 bits, and the 2nd number of bits can be 8 bits.

[0025] Said superposing means can be made to superimpose the 2nd digital data on the LSB side of the 1st number of bits.

[0026] While making it superimpose so that the 1st digital data can be processed as data of a SDI format, a header of a SDTI format can be made to superimpose on said superposing means as a header.

[0027] Written this invention is characterized by a method comprising the following at claim 8.

A determination step which judges the number of bits of a unit of the 2nd digital data.  
A superposition step which adds a header and superimposes the 2nd digital data on the 1st digital data when it is what makes a unit the 2nd number of bits that is different from the 1st number of bits corresponding to a decision result in a determination step as for the 2nd digital data.

[0028] it is characterized by a program which looks written this invention like [ claim 9 ], and is recorded on it comprising the following.

A determination step which judges the number of bits of a unit of the 2nd digital data.  
A superposition step which adds a header and superimposes the 2nd digital data on the 1st digital data when it is what makes a unit the 2nd number of bits that is different from the 1st number of bits corresponding to a decision result in a determination step as for the 2nd digital data.

[0029] written this invention is characterized by it having been alike and comprising the following at claim 10.

An acquisition means which acquires the 1st digital data.

A detection means to detect a header from the 1st digital data acquired by acquisition means.

The 1st processing means that processes the 2nd digital data as data which makes the 1st number of bits a unit when a header is detected corresponding to a detection result of a detection means.

The 2nd processing means processed as data which makes a unit the 2nd number of bits that is different from the 1st number of bits in the 2nd digital data when a header is not detected corresponding to a detection result of a detection means.

[0030]The 2nd digital data is made into metadata, it extracts metadata for the 1st processing means and the 2nd processing means from the retrace line section of a video data, and they can be made to make said 1st digital data into a video data, and to process it.

[0031]While extracting a header for said 1st processing means from the horizontal flyback section of a video data and making it process it, Metadata is made to extract and process from a vertical blanking interval of a video data, metadata is extracted for the 2nd processing means from a vertical blanking interval of a video data, and it can be made to process it.

[0032]Said 1st number of bits can be made larger than the 2nd number of bits.

[0033]Said 1st number of bits can be 10 bits, and the 2nd number of bits can be 8 bits.

[0034]The 2nd digital data is extracted for said 1st processing means and the 2nd processing means from the LSB side of the 1st number of bits, and they can be made to process it.

[0035]Said 1st processing means and the 2nd processing means are made to process the 1st digital data as data of a SDI format, and a detection means can be made to detect a header of a SDTI format as a header for them.

[0036]written this invention is characterized by it having been alike and comprising the following at claim 17.

An acquisition step which acquires the 1st digital data.

A detecting step which detects a header from the 1st digital data acquired by processing of an acquisition step.

The 1st processing step that processes the 2nd digital data as data which makes the 1st number of bits a unit when a header is detected corresponding to a detection result of processing of a detecting step.

The 2nd processing step processed as data which makes a unit the 2nd number of bits that is different from the 1st number of bits in the 2nd digital data when a header is not detected corresponding to a detection result of processing of a detecting step.

[0037]it is characterized by a program which looks written this invention like [ claim 18 ], and is recorded on it comprising the following.

An acquisition step which acquires the 1st digital data.

A detecting step which detects a header from the 1st digital data acquired by processing of an acquisition step.

The 1st processing step that processes the 2nd digital data as data which makes the 1st number of bits a unit when a header is detected corresponding to a detection result of processing of a detecting step.

The 2nd processing step processed as data which makes a unit the 2nd number of bits that is different from the 1st number of bits in the 2nd digital data when a header is not detected corresponding to a detection result of processing of a detecting step.

[0038]In a program currently recorded on the superposition device according to claim 1, a superposition method according to claim 8, and the recording medium according to claim 9, when it judges that the 2nd digital data is what makes the 2nd number of bits a unit, a header is added and the 1st digital data is overlapped.

[0039]In the data processing device according to claim 10, the data processing method according to claim 17, and a program currently recorded on the recording medium according to claim 18, When a header is detected from the 1st digital data, the 1st digital data is processed considering the 1st number of bits as a unit, and when a header is not detected, the 2nd number of bits is processed as a unit.

[0040]

[Embodiment of the Invention]Drawing 4 expresses the example of composition of the superposition system which applied this invention. This system is constituted by the superposition device 1 and the videotape recorder (VTR) 2.

[0041]The video data as essence recorded on VTR2 is supplied to the superposition device 1 in the SDI format. The metadata (the details are mentioned later) to which each sample is expressed with 8 bits is supplied to the superposition device 1 as an user datum superimposed on the vertical blanking interval of the video data as essence. If needed, as ancillary data, the superposition device 1 superimposes metadata on the vertical blanking interval of the video data as essence, and outputs it to VTR2 as a signal of a SDI\* format. The data of the SDTI (Serial Data Transform Interface) format is also supplied to VTR2, and VTR2 performs processing which chooses one side of two inputs and records it on the magnetic tape with which it is equipped.

[0042]In the superposition device 1, when it is superimposed on metadata at the

vertical blanking interval of a video data so that it may mention later, it is superimposed on the header of a SDTI format at the horizontal flyback section of the line where the metadata was inserted. Although this data has the data and the compatibility of a SDI format, it differs from the data of the SDI format itself. Then, this format is expressed as SDI\* in this invention.

[0043]Here, the metadata (Metadata) is explained. Metadata is data which is generally also called Data About Data and attaches to essence (Essence) data. Various kinds of main data \*\*\*\* [ essence data ], such as video and an audio. Metadata is classified into two or more following classes.

[0044]Class1: It is data which summarizes the main information on Essential MetadataEssence.

UMID (Unique Material Identifier), Title, Project Title, Scene Title, Short Title, Take Number, Active picture Sample information, etc. are included.

[0045]Class2: It is the IPR (Intellectual Property Right)-related information etc. which shows Access to AccessEssence.

IP Owner, Copyright Status, Address(City, State, Country Postal Code) OriginalProducer, etc. are contained.

[0046]Class3 :P arametricsEssence is generated and they are Camera, Sensor information, etc.

Re-coding Parameters, Device ID, Colorimetry, Gamma, Rounding, Filtering, CameraRelative Position, etc. are contained.

[0047]Class4: They are a parameter of Edit Decision List which shows the composition of CompositionEssence, and changes, a history of changes, etc.

Source Of Original Composition, Film Source, Telecine information, Video Source, Heritage, Compression Algorithm, etc. are contained.

[0048]Class5: It is Time Code and synchronous marking which show Relational time, correlation, etc.

Video Time Stamp, 12M Timecode, 309M Date Timecode, Child ID, Parent ID, etc. are contained.

[0049]Class6: They are spacial information, such as GeospatialCamera and Sensor.

Angle\_To\_North, Field of View, Frame Center Latitude, Frame Center, Longitude, etc. are contained.

[0050]Class7: It is involved in DescriptiveIndexing, Caraloging, Administering, Searching, and Retrieving.

Theme, Place, Temporal, Descriptive, Abstract, Purpose, Comments, Credits, Performing Artists, Names, Assessment, etc. are contained.

[0051]As other Class(es), it is Class8 :P There are publicly Registered, Class9:Organizationally Registered, Class10:Experimental, and Class11:Sets.

[0052]Next, with reference to the flow chart of drawing 5, operation of the superposition device 1 of drawing 4 is explained. In Step S1, it is judged whether the superposition device 1 superimposes metadata on the vertical blanking interval of the video data supplied in the SDI format. When it superimposes metadata, it progresses to Step S2 and the superposition device 1 adds a SDTI header to the horizontal flyback section of the line which superimposes metadata. And in Step S3, the superposition device 1 superimposes metadata on 8 bits of low ranks of the 10 bit width as an user datum of the line (line in a vertical blanking interval) to superimpose.

[0053]Drawing 6 expresses the data format of the line where it is superimposed on the metadata in this case. The fundamental composition is the same as that of the case where it is shown in drawing 2 (B). Namely, when inserting data other than metadata, as shown in drawing 7, are considered as the format in which a SDTI header is not inserted, but. When inserting metadata, as shown in drawing 6, it is superimposed on a SDTI header as ancillary data during the effective horizontal flyback section between EAV and SAV. And metadata is arranged in the area of the user datum of the 1440-word payload part after SAV. Further behind an user datum, the CRC (Cyclic Redundancy Check) code for error detection correction is inserted. The data made into the object of this CRC is only an user datum.

[0054]When the bit rate is 270 Mbit/s, as mentioned above, it is considered as 1440 words, but an user datum shall be 1920 words when it is 360 Mbit/s.

[0055]NRZI (NonReturn to Zero Inverted) abnormal conditions are carried out, and the superposition device 1 outputs it while carrying out the scramble of the data of each line.

[0056]Drawing 8 expresses the composition of the SDTI header shown in drawing 6. As shown in the figure, the packet which constitutes this SDTI header comprises 53 words (1 word is 10 bits), and is arranged just behind EAV of 0x3FF, 0x000, 0x000, and XYZ. In the head, it is arranged at three samples from the number 0 to the number 2 in ADF of the value of 0x000, 0x3FF, and 0x3FF. DID and SDID are arranged after ADF. DC is arranged after SDID. These meaning places are the same as that of the case where it explains with reference to drawing 3. In the case of a header, DID and SDID are set to 0x40 or 0x01, respectively.

[0057]The line number (the line number 0 and the line number 1) in which this packet is inserted is expressed to the next of DC by 2 words, and CRC (line number CRC0 and line number CRC1) of each of this line number is arranged further at those

following 2 words. It is for a line number checking the continuity of data, and the value of 1–525 is taken in 525 systems like NTSC system, and the value of 1–625 is described by 625 systems like a PAL system.

[0058]A code and AAI (Authorized Address Identifier) are arranged at the following word. A code expresses the length of a pay load (what is called an active line between SAV and EAV), and it is constituted by 4 bits by the side of LSB to the bits b0 thru/or b3 here. When the length of a pay load is 1440 words, it is referred to as “0001”, and it is referred to as “0010” when it is 1920 words. When the value of this code is “0000”, it means being transmitted with the line with which the incompressible data of 4:2:2 continues.

[0059]AAI comprises top 4 bits (bits b7 thru/or b4) of a code, and specifies the format of the address word of an address (Destination) the dispatch origin (Source) of this packet. Expressing that “0000” of the value is a format which is not defined, “0001” of the value expresses that it is the format of an IPv6 address.

[0060]IPv6 means Internet Protocol version 6 and, in this format, 128 bits is assigned to an address.

[0061]Let 2 bits by the side of MSB of the word of a code and AAI be an even parity bit and its inversion bit.

[0062]16 words next to the word of a code and AAI are made into a destination address, and let the following 16 words be an originator address further. A destination address expresses the address of the device of the address of this packet, and an originator address expresses the address of the device which sent this packet. An address is expressed by 8 bits from the bit b7 to the bit b0 of each word of this destination address and an originator address, and the bit b8, It is considered as the 8-bit even parity bit from the bit b7 to the bit b0, and let the bit b9 as MSB be an inversion bit of the bit b8.

[0063]16 bytes of all are 0, and it has an address common to all the apparatus connected to the interface shown in AAI=“0000.” It changes this value into a default state when the address of a sending agency or an address is unnecessary.

[0064]Let the next word of an originator address be a block type. This block type expresses the split method of a pay load. The bit b8 is made into the even parity bit from the bit b7 to the bit b0 between 2 bits by the side of the MSB, and let the bit b9 of MSB be an inversion bit of the bit b8.

[0065]Variable either fixed block size or block size is made selectable by this block type. In the case of fixed block size, at the time of fixed block size without ECC, the bit b7 and the bit b6 are set to “00”, and, in the case of fixed block size with ECC, are set

to "01."

[0066]In the case of fixed block size, corresponding to the value from the bit b5 to the bit b0, predetermined block size is defined beforehand. For example, when the value of the bits b5 thru/or b0 is 0x01, block size shall be 1438 words, and it may be 719 words when it is 0x02.

[0067]In the case of variable block size, the value of the bits b7 and b6 is set to "11", and the bits b5 thru/or b0 are set to "000001." In the case of variable block size, the block data word which free size followed is permitted. The following data packet can be transmitted also with the next line immediately after a front packet. In the case of the block length exceeding the pay load of one line, a data extension flag (it mentions later) is repeated from the code and AAI in header data with each line which transmits this block.

[0068]A CRC flag is arranged at the next word of a block type. When the value from the bit b7 to b0 expresses 0x01 among this word, CRC means that the pay load is inserted at the end, and when that value is 0x00, it means that CRC is not inserted in a pay load. 0x02 thru/or 0xFF of the value is considered as reserve. The bit b8 of this word is made into the even parity bit from the bit b7 to b0, and let the bit b9 of MSB be an inversion bit of the bit b8.

[0069]Let the following 1 word be a data extension flag (Data extension flag). It is meant whether this data extension flag has an extended data packet (packet for also using H ancillary period for data communications, in order to raise a transmission rate) in from after header data before forward [ of SAV ]. When the value from the bit b7 to b0 is 0x00, those without an extended packet are expressed, 0x01 means that one extended packet exists, and 0x02 means that two extended packets exist. 0x03 thru/or 0xFF are considered as reserve. The bit b8 of this word is made into the even parity bit from the bit b7 to b0, and let the bit b9 of MSB be an inversion bit of the bit b8.

[0070]Since the size of the user datum of an ancillary packet is restricted to 255 words, it can send two extended packets in the system of 360 Mbit/s using the flag of 0x02.

[0071]4 words (reserve 0 thru/or 3) following a data extension flag are cost by the data for header extension reserve.

[0072]2 words next to header extension reserve data (header CRC0 and header CRC1) are set to header CRC. This header CRC targets all even for 10 bits of reserve data from a code. The generating polynomial of this header CRC is made the same as that of the generating polynomial of line number CRC.

[0073]Header data are constituted from the above line number by 46 words to header CRC, and the checksum for error detection is arranged at the following 1 word.

[0074]It returns to drawing 5, and in Step S1, when it judges with the superposition device 1 not superimposing metadata on a vertical blanking interval, it progresses to step S4 and processing which forbids superposition of the data to a vertical blanking interval is performed.

[0075]Drawing 9 expresses the example of composition inside the superposition device 1. After the inputted signal of a SDI format is inputted into the divider 47 and division is carried out by 1/10, it is supplied to the clock generation machine 48. Synchronizing with the signal inputted from the divider 47, the clock generation machine 48 generates a system clock with a frequency of 27 MHz, and outputs it to each part.

[0076]After the inputted 1-bit SDI format signals are changed into 10-bit parallel data by the serial-parallel-conversion machine 21, they are supplied to the 1H delay circuit 22 with it again. The 1H delay circuit 22 outputs the inputted data to the superposed apparatus 23, after being delayed by one line. 8-bit metadata is supplied to the memory unit 24. When the data which is inputted from the device which is not illustrated and which incorporated and incorporated metadata based on the write enable signal is inputted into a lead rice bull signal, it is begun to read the memory unit 24 and it is outputted to the superposed apparatus 23. The SDTI header supplied from the SDTI header generator 25 is supplied to the superposed apparatus 23 again.

[0077]The superposed apparatus 23 superimposes the data supplied from the 1H delay circuit 22, the memory unit 24, or the SDTI header generator 25, and outputs it to D type flip-flop 26. D type flip-flop 26 supplies the latched result to scramble / NRZI modulator 27, after latching the data supplied from the superposed apparatus 23 synchronizing with a system clock. Scramble / NRZI modulator 27 carries out NRZI abnormal conditions, further, is changed into serial data from parallel data, and is outputted to VTR2 as a signal of a SDI\* format while it carries out the scramble of the inputted data.

[0078]The signal outputted from the serial PARARU converter 21 is supplied to the latch circuitry 35 and the delay device 28 again. From the delay device 33 delayed by one clock in the inputted data, signal TP is the timing supplied as a clock, and the latch circuitry 35 latches the 10-bit data (word of XYZ just behind EAV of drawing 8) supplied from the serial PARARU converter 21.

[0079]The 10-bit data outputted from the serial PARARU converter 21 is supplied to the delay device 28 again, and is memorized. The delay device 29 and the delay device



30 are further connected to the latter part of the delay device 28 in the cascade, and the delay devices 28 thru/or 30 output the data currently held till then to a latter delay device one by one while holding the data inputted to the timing into which a system clock is inputted.

[0080]The detector 31 receives the input of the 10-bit data which reversed the 10-bit data which reversed the data which is 10 bits which the delay device 30 outputs, and the data outputted to the delay device 30 which the delay device 29 outputs, and the data which the delay device 28 outputs to the delay device 29. The detector 31 will receive the entry of data for 3 continuous words after all. The detector 31 outputs a detecting signal to the latch circuitry 35 via the delay device 33, when 3 continuous words are EAV or SAV (i.e., when it is '0x3FF', '0x000', and '0x000').

[0081]The 10 bits data which reversed the data which the delay device 30 outputs to the detector 31, the 10 bits data which the delay device 29 outputs to the delay device 30, and the 10-bit data which the delay device 28 outputs to the delay device 29 are inputted into the detector 32. The detector 32 detects ADF from these data. That is, when 3 continuous words are '0x000', '0x3FF', and '0x3FF', a detecting signal is outputted to the pulse generator 37 and the pulse generator 38 via the delay device 34.

[0082]The delay device 33 and the delay device 34 are the timing into which a system clock is inputted, respectively, After holding the detected information supplied from the detector 31 or the detector 32 and being delayed by one clock, it outputs to the latter latch circuitry 35, respectively, or outputs to the pulse generator 37 and the pulse generator 38.

[0083]The latch circuitry 35 latches the 10-bit data (word of XYZ of drawing 8) in which pulse TP was supplied from the serial PARARU converter 21 in the timing inputted into the clock terminal from the delay device 33. The bit b7 of this XYZ word is set to 0 at the time of active video, and is set to 1 at the time of a vertical-retrace-line period. The bit b6 is set to 1 at the time of EAV, and is set to 0 at the time of SAV. Then, among the data latched by the latch circuitry 35, as the data VBLK showing a vertical blanking interval, the value of the bit b7 is supplied to one input terminal of NOR circuit 40, after it is reversed with the inverter 49. The value of the bit b6 is supplied to the clock terminal of the pulse generator 36, the pulse generator 42, the inverter 44, and D type flip-flop 41 as the signal HBLK showing the horizontal flyback section.

[0084]From the latch circuitry 35, the pulse generator 36 generates pulse RSP to the timing into which the signal HBLK was inputted, and outputs it to the pulse generator

37 and the retriggerable monomulti vibrator 39.

[0085]A pulse generator is the following timing when pulse ADF is inputted from the delay device 34, It is if the value is 0x40, seeing DID supplied from the serial-parallel-conversion machine 21 (the packet following ADF). When it is a packet of a SDTI header, the signal of a high level is outputted and the signal of a high level is changed to a low to the timing which pulse RSP inputs from the pulse generator 36. The pulse generator 38 is the following timing when pulse ADF is inputted from the delay device 34, See DID supplied from the serial-parallel-conversion machine 21, and if the value is values other than 0x40 (when the packet following ADF is not a packet of a SDTI header), The pulse of the width corresponding to the value of a subsequent data count is generated, and it outputs to the retriggerable monomulti vibrator 39. If the trigger of the retriggerable monomulti vibrator 39 is carried out by the pulse inputted from the pulse generator 38, it will output the signal of a high level to NOR40 by it. The retriggerable monomulti vibrator 39 will be reset if pulse RSP is inputted from the pulse generator 36.

[0086]NOR circuit 40 calculates the nondisjunction of the output of the signal VBLK which the latch circuitry 35 inputted via the inverter 49 outputs, and the pulse generator 37, and the output of the retriggerable monomulti vibrator 39, and supplies the result of an operation to the data terminal of D type flip-flop 41.

[0087]D type flip-flop 41 latches the data supplied from NOR circuit 40 in the timing of the rising edge of the signal HBLK outputted from the latch circuitry 35, and outputs the latched result to latter AND circuit 43 and AND circuit 45.

[0088]The pulse generator 42 is the signal HBLK. Synchronizing with a rising edge, the pulse of 53 word length corresponding to the length of header packets is generated, and it outputs to AND circuit 43. AND circuit 43 is supplied to NOR circuit 46 while it calculates the logical product of the output of the pulse generator 42, and the output of D type flip-flop 41 and supplies the result of an operation to the enable terminal of the SDTI header generator 25.

[0089]AND circuit 45 is outputted to NOR circuit 46 while it calculates the logical product of the signal which judged the signal HBLK which the latch circuitry 35 outputted with the inverter 44, and the output of D type flip-flop 41 and outputs the result of an operation to the memory unit 24 as a lead rice bull signal. NOR circuit 46 calculates the nondisjunction of the output of AND circuit 43, and the output of AND circuit 45, and supplies the result of an operation to the rice bull terminal of the 1H delay circuit 22.

[0090]Next, operation of the superposition device 1 of drawing 9 is explained with

reference to the timing chart of drawing 10. The serial-parallel-conversion machine 21 changes the data (drawing 10 (A)) of a SDI format inputted into parallel data. The delay devices 28 thru/or 30 output 3 words of this data to the detector 31 and the detector 32 as parallel data further. The detector 31 will generate a detection pulse, if EAV or SAV (all are 0x3FF, 0x000, and 0x000) is detected from the data for 3 words which the delay devices 28 thru/or 30 output. This detection pulse is supplied to the latch circuitry 35 as a clock pulse TP via the delay device 33 (drawing 10 (B)).

[0091]The latch circuitry 35 latches the 10-bit data supplied from the serial PARARU converter 21 synchronizing with the pulse inputted from the delay device 33. As a result, the output of the bit b6 of the latch circuitry 35 serves as a high level synchronizing with the detection pulse of EAV which the delay device 33 outputs, and serves as the signal HBLK which changes to a low synchronizing with the detection pulse of SAV (drawing 10 (C)).

[0092]The pulse generator 36 generates pulse RSP synchronizing with the rising edge of the signal HBLK which the latch circuitry 35 outputs (drawing 10 (D)).

[0093]The output of the bit b7 which the latch circuitry 35 outputs serves as the signal VBLK which serves as a low at the time of the section of active video, and serves as a high level at the time of a vertical blanking interval (drawing 10 (E)).

[0094]The detector 32 will output the detecting signal via the delay device 34, if ADF (0x000, 0x000, 0x3FF) is detected from the output of the delay devices 28 thru/or 30 (drawing 10 (F)). When pulse ADF (drawing 10 (F)) is inputted into the pulse generator 37 from the delay device 34, The signal of a low will be outputted, if the signal of a high level is outputted and pulse RSP is inputted from the pulse generator 36, when DID inputted from the serial-parallel-conversion machine 21 is 0x40 (when the packet inputted now is a packet of a SDTI header) (drawing 10 (H)).

[0095]When pulse ADF (drawing 10 (F)) is inputted into the pulse generator 38 from the delay device 34, When DID inputted from the serial-parallel-conversion machine 21 is except 0x40 (when the packet inputted now is not a packet of a SDTI header), The pulse of the width of the length corresponding to the value of the data count just behind that is generated (drawing 10 (G)), and the trigger of the retriggerable monomulti vibrator 39 is carried out. The retriggerable monomulti vibrator 39, If the width of the pulse outputted whenever a trigger is carried out synchronizing with the pulse (drawing 10 (G)) supplied from the pulse generator 38 is extended and pulse RSP (drawing 10 (D)) is inputted from the pulse generator 36, generating of the pulse will be stopped (drawing 10 (I)).

[0096]The logical sum of the output (drawing 10 (H)) of the pulse generator 37, and

the output (drawing 10 (I)) of the retriggerable monomulti vibrator 39, It comes to be shown in drawing 10 (J), and the logical sum and the logical sum of the signal which reversed the signal VBLK which the latch circuitry 35 outputs with the inverter 49 come to be shown in drawing 10 (K). When the signal of this drawing 10 (K) is latched by the rising edge of the signal HBLK of this drawing 10 (C), it comes to be shown in drawing 10 (L). Since not logical sum but a nondisjunction calculates by NOR circuit 40 actually and the value is latched by D type flip-flop 41, the output comes (it becomes an inverted output of drawing 10 (L)) to be shown in drawing 10 (M).

[0097]The signal (drawing 10 (M)) which D type flip-flop 41 outputs is supplied to one input of AND circuit 43. Since the pulse of the width of the length of the SDTI header which the pulse generator 42 outputs to the input of another side of AND circuit 43 is inputted, This pulse is supplied to the SDTI header generator 25 as a rice bull signal, when the output of D type flip-flop 41 is a high level (drawing 10 (N)).

[0098]The SDTI generator 45 will supply a SDTI header signal to the superposed apparatus 23, if a rice bull signal is supplied from AND circuit 43 (drawing 10 (Q)).

[0099]AND circuit 45 The output (drawing 10 (M)) of D type flip-flop 41, A logical product with the inversion signal by the inverter 44 of the signal HBLK (drawing 10 (C)) which the latch circuitry 35 outputs is calculated, and the result of an operation is outputted as a lead rice bull signal of the memory unit 24 (drawing 10 (O)). If a lead rice bull signal is inputted, the memory unit 24 will read the metadata memorized there as an user datum, and will output it to the superposed apparatus 23 (drawing 10 (P)).

[0100]NOR circuit 46 calculates the nondisjunction of the output (Drawing 10 (N)) of AND circuit 43, and the output (Drawing 10 (O)) of AND circuit 45, and supplies the result of an operation to the enable terminal of the 1H delay circuit 22 (drawing 10 (R)). The 1H delay circuit 22 will output the memorized video data to the superposed apparatus 23, if this signal is inputted.

[0101]The video data as essence to which the superposed apparatus 23 is supplied from the 1H delay circuit 22 (drawing 10 (A)), The metadata (drawing 10 (P)) as the SDTI header which the SDTI header generator 25 outputs, and an user datum which the memory unit 24 outputs is superimposed, and it outputs to D type flip-flop 26 (drawing 10 (Q)).

[0102]D type flip-flop 26 latches the data supplied from the superposed apparatus 23 synchronizing with a system clock, and supplies it to latter scramble / NRZI modulator 27. Scramble / NRZI modulator 27 carries out NRZI abnormal conditions, is further changed into serial data from parallel data, and is outputted as data of a SDI\* format while carrying out the scramble of the data supplied from D type flip-flop 26.

[0103]When it is superimposed on metadata or the helper mentioned later in the active line of the line in a vertical-retrace-line period as mentioned above, A header is not superimposed, when it is superimposed on the header of a SDTI format during the corresponding horizontal blanking interval and other ancillary video datas (a teletext, VITC, a test video data, etc.) multiplex, and when an user datum is not inserted.

[0104]Drawing 11 expresses the example of composition of VTR2. After the data of a format of SDI\* supplied from the superposition device 1 is inputted into the inverter 91 and changed into the data of a SDTI format, it is supplied to the point of contact b of the switch 93. On the other hand, the data already inputted as data of a SDTI format is the extracting circuit 92, and the video elementalist ream of MPEG 2 and user-datum user\_data() are extracted, and it is supplied to the point of contact a of the switch 93. The switch 93 is changed to the point-of-contact b side, when incorporating the data from the inverter 91 by the controller 94, and when incorporating the data from the extracting circuit 92, it is changed to the point-of-contact a side. The data of the SDTI format selected with the switch 93 is supplied to the recorder 95, and is recorded on the magnetic tape which is not illustrated.

[0105]The header detector 71 of the inverter 91 detects the header of a SDTI format from the data of a format of SDI\*. The header detector 71 changes the switch 72 to the point-of-contact a side, when a header is detected, and when not detected, it changes it to the point-of-contact b side. Therefore, the data which has a header of a SDTI format is supplied to the helper detector 73 and the SDTI packet extractor 79.

[0106]The helper (trademark) as an encoding parameter of the past of MPEG (Moving Picture Expert Group) which Thompson (trade name) advocates to the inputted data the helper detector 73, When it exists during a vertical blanking interval, this is detected and the detected encoding parameter is outputted to the selection circuitry 77. The inside of the metadata which constitutes the user datum which the SDTI packet extractor 79 extracts a SDTI packet, and is contained in the extracted packet, The history data containing the past encoding parameter (Re-codingParameters) is outputted to the selection circuitry 77, and the user datum (metadata) of SDTI(s) other than history data is outputted to the MPEG 2 user-datum encoder 80. The user datum of SDTI into which the MPEG 2 user-datum encoder 80 is inputted from the SDTI packet extractor 79, The history information containing the encoding parameter of the past supplied from MPEG2 encoder 78 is encoded to the user datum (user\_data()) of the picture stream of MPEG 2, and is outputted to the superposed apparatus 81.

[0107]The data of the line which does not contain the SDTI header outputted from the point of contact b of the switch 72, That is, the data of the line where the usual video data in which the ancillary data is not inserted, and ancillary video datas other than metadata are inserted is supplied to the LSB detector 75 of the mall processing circuit 74. Each inputted sample detects LSB of the video data which comprises 10 bits, and the LSB detector 75 supplies detected LSB to the mall reconstruction machine 76. Each two or more bits bits of LSB of each sample are collected, and the mall reconstruction machine 76 reconstructs them, and outputs them to the selection circuitry 77 as data showing the past encoding parameter. A mall (trademark) is a method which transmits the encoding parameter of the past which a SUNERUANDOI cox company (trade name) advocates.

[0108]The selection circuitry 77 chooses either the history data which the SDTI packet extractor 79 outputs, the helper which the helper detector 73 outputs or the mall which the mall reconstruction machine 76 outputs, and outputs it to MPEG2 encoder 78. Direct supply of the data of a format of SDI\* is carried out to MPEG2 encoder 78 from the point of contact b of the switch 72 again. MPEG2 encoder 78 uses the past encoding parameter to which this data was supplied from the selection circuitry 77 if needed, and codes (encoding). And while supplying the coded data (elementalist ream of MPEG 2) to the superposed apparatus 81, it outputs to the adding machine 80 by making the past encoding parameter into history information.

[0109]The user datum of MPEG 2 inputted from the MPEG 2 user-datum encoder 80 is superimposed on the coding stream of a SDTI format supplied from MPEG2 encoder 78, and the superposed apparatus 81 outputs it to the point of contact b of the switch 93.

[0110]Next, the operation is explained. When ordered [ recording the data of a SDTI format, and ], the controller 94 changes the switch 93 to the point-of-contact a side. At this time, the data of a SDTI format is inputted into the extracting circuit 92, and the video elementalist ream (the user datum of MPEG 2 is included) of MPEG 2 extracted there is supplied to the recorder 95 from the point of contact a of the switch 93, and is recorded on magnetic tape.

[0111]On the other hand, when ordered in record of the data of a format of SDTI\*, the switch 93 is made, as for the controller 94, to be changed to the point-of-contact b side. And by the inverter 91, processing as shown in the flow chart of drawing 12 is performed.

[0112]That is, first, the header detector 71 detects [ in / at this time / Step S11 ] this, when it judges whether the header of a SDTI format exists to the inputted data of a

format of SDI\* and exists in it. The header detector 71 makes the switch 72 changed to the point-of-contact b side in Step S13, when the switch 72 is made to be changed to the point-of-contact a side in Step S12 when a header is detected, and a header is not detected.

[0113]When the switch 72 is changed to the point-of-contact b side, while the video data of a format of SDI\* is supplied to MPEG2 encoder 78 as it is, it is supplied to the LSB detector 75 of the mall processing circuit 74. One inputted sample detects LSB of the data which comprises 10 bits, and outputs the LSB detector 75 to the mall reconstruction machine 76. The mall reconstruction machine 76 is collecting and reconstructing LSB of two or more samples, and detects the past encoding parameter expressed by that cause. The detected encoding parameter is supplied to MPEG2 encoder 78 via the selection circuitry 77.

[0114]MPEG2 encoder 78 uses the encoding parameter of the past supplied from the mall reconstruction machine 76, The video data supplied from the point of contact b of the switch 72 is encoded with an MPEG2 system, and is outputted to the superposed apparatus 81 as a coding stream of a SDTI format of MPEG 2.

[0115]8 bits of MPEG2 encoders 78 incorporate and process 8 bits by the side of MBS, when it cannot incorporate among the data which makes 10 bits a unit.

[0116]Thus, the coding stream outputted from MPEG2 encoder 78 is supplied to the recorder 95 via the point of contact b of the switch 93 from the superposed apparatus 81, and is recorded on magnetic tape.

[0117]On the other hand, when the switch 72 is changed to the point-of-contact a side, the past encoding parameter is inserted in the active line as metadata (a helper or a history). If the helper is inserted, the helper detector 73 will detect it and will output it to MPEG2 encoder 78 via the selection circuitry 77. Since the SDTI header is not inserted in active lines other than a vertical blanking interval in the SDI\* format, the data of the active line is supplied to MPEG2 encoder 78 from the point of contact b of the switch 72. MPEG2 encoder 78 encodes this video data using the past encoding parameter supplied from the helper detector 73, and outputs a coding stream to the superposed apparatus 81 as a coding stream of a SDTI format.

[0118]The coding stream outputted from the superposed apparatus 81 is supplied to the recorder 95 via the point of contact b of the switch 93, and is recorded on magnetic tape.

[0119]When history data is inserted in the active line in a vertical-retrace-line period as metadata, the SDTI packet extractor 79 extracts it and outputs it to MPEG2 encoder 78 via the selection circuitry 77 further again. MPEG2 encoder 78 uses the

history data (the past encoding parameter) supplied from the SDTI packet extractor 79, It outputs to the coding stream superposed apparatus 81 of a SDTI format of MPEG 2 obtained by encoding the video data of the active line of a non-vertical blanking interval inputted via the point of contact b of the switch 72.

[0120]The MPEG 2 user-datum encoder 80, The user datum of SDTI(s) other than the history data extracted by the SDTI packet extractor 79, The past encoding parameter which was not used for the encoding supplied from MPEG2 encoder 78, The coding stream which changes into the format of user-datum user\_data() of MPEG 2, supplies the adding machine 80, and is supplied from MPEG2 encoder 78 is made to multiplex.

[0121]The output of the adding machine 80 is supplied and recorded on the recorder 95 via the point of contact b of the switch 93.

[0122]When it can only be incorporated that the helper detector 73 and the SDTI packet extractor 79 make each sample a unit, since incorporating 8 bits from the LSB side is specified by 291M of SMPTE, according to this regulation, 8 bits by the side of LSB will always be incorporated by it. As explained with reference to Step S3 of drawing 5, in this invention, 8 bits by the side of LSB are overlapped on metadata. Therefore, metadata is incorporated correctly.

[0123]Here, a SDTI (Serial Data Transport Interface) format and a SDI format, and the compatibility of this invention are explained.

[0124]A SDTI format is a format standardized as 305M of SMPTE, and this format has a SDI format and compatibility, as shown in drawing 13.

[0125]That is, 9-bit parallel data and 1 bit of clocked into are supplied to the compression format converter 101. The compression format converter 101 adds 1-bit header data to this 9-bit data, and supplies them to the processing unit 102 of a format of 259M of SMPTE, i.e., SDI, with a clock as a total of 10-bit data.

[0126]The processing unit 102 is constituted by the SDI encoder 111, the processing unit 112, and the SDI decoder 113. Synchronizing with the clock into which 10-bit parallel data are inputted, the SDI encoder 111 is changed into the data of a SDI format, and is outputted to the processing unit 112. The processing unit 112 is equivalent to for example, VTR2 of the embodiment mentioned above.

[0127]After the processing unit 112 processes the data of a SDI format, it is outputted to the SDI decoder 113. The SDI decoder 113 decodes the inputted data of a SDI format, changes it into 10 bits parallel data and 1-bit clock data, and is outputted to the compression format restoration machine 103.

[0128]The compression format restoration machine 103 is outputted with a clock, after removing 1-bit header data from the inputted 10-bit data.



[0129]In a SDTI format, as shown in drawing 14, the picture item, audio item, or auxiliary item as an user datum of SDTI besides system items is inserted in an active line. At this time, arranging SDTIH ancillary header data is specified immediately after EAV between EAV and SAV. Also in this invention, the header of the format same as header data shown in drawing 6 and drawing 8 as the header shown in this drawing 14 is arranged. Therefore, the data of a format of SDI\* of this invention will have the data and the compatibility of a SDI format and a SDTI format.

[0130]The video data inserted as a picture item of this drawing 14 is compressed with an MPEG2 system, for example. On the other hand, the active video data of each field in the SDI format shown in drawing 1 is not compressed.

[0131]Although a series of processings mentioned above can also be performed by hardware, they can also be performed by software. The computer by which the program which constitutes the software is included in hardware for exclusive use when performing a series of processings by software, Or it is installed in the personal computer etc. which can perform various kinds of functions, for example, are general-purpose, etc. from a recording medium by installing various kinds of programs.

[0132]For example, when performing a series of processings mentioned above by software in the superposition device 1, this recording medium, Drawing 4. Apart from a computer, are distributed in order to provide a user with a program, so that it may be shown. The magnetic disk 131 (a floppy disk is included) with which the program is recorded, the optical disc 132 (CD-ROM (Compact Disk-Read Only Memory).) . DVD (Digital Versatile Disk) is included. It is not only constituted by the package media which consist of the magneto-optical disc 133 (MD (Mini-Disk) is included) or the semiconductor memory 134, but, It comprises ROM, a hard disk, etc. with which a user is provided in the state where it was beforehand included in the computer and in which the program is recorded.

[0133]In this specification, even if the processing serially performed in accordance with an order that the step which describes the program recorded on a recording medium was indicated is not of course necessarily processed serially, it also includes a parallel target or the processing performed individually.

[0134]In this specification, a system expresses the whole device constituted by two or more devices.

[0135]

[Effect of the Invention]According to the program currently recorded on the superposition device according to claim 1, the superposition method according to claim 8, and the recording medium according to claim 9 like the above. Since a header

is added and it was made to superimpose on the 1st digital data when the 2nd digital data was what makes the 2nd number of bits a unit, it becomes possible to transmit the 2nd digital data correctly and to make it process.

[0136]According to the data processing device according to claim 10, the data processing method according to claim 17, and the program currently recorded on the recording medium according to claim 18. When a header is detected, the 2nd digital data is processed as data which makes the 1st number of bits a unit, Since the 2nd digital data was processed as data which makes the 2nd number of bits a unit when a header was not detected, it becomes possible to extract correctly the 1st digital data and the 2nd digital data in which the 2nd numbers of bits differ, and to process them.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1]It is a figure explaining the insertion point of the ancillary data of a SDI format.

[Drawing 2]It is a figure explaining the analog signal and digital signal for one line.

[Drawing 3]It is a figure explaining the composition of the ancillary data for one line.

[Drawing 4]It is a block diagram explaining the example of composition of the system which applied this invention.

[Drawing 5] It is a flow chart explaining operation of the superposition device of drawing 4.

[Drawing 6] It is a figure explaining the format of the signal generated in processing of Steps S2 and S3 of drawing 5.

[Drawing 7] It is a figure explaining the format of a signal in case a header is not inserted.

[Drawing 8] It is a figure showing the composition of the header data of drawing 6.

[Drawing 9] It is a block diagram showing the example of composition of the superposition device of drawing 4.

[Drawing 10] It is a timing chart which shows the timing of operation of the superposition device of drawing 9.

[Drawing 11] It is a block diagram showing the example of composition of the videotape recorder of drawing 4.

[Drawing 12] It is a flow chart explaining operation of the videotape recorder of drawing 11.

[Drawing 13] It is a figure explaining processing of a SDTI format.

[Drawing 14] It is a figure explaining the composition in each field of a SDTI format.

[Description of Notations]

1 A superposition device and 2 A videotape recorder, 21 A serial-parallel-conversion machine and 22 1H delay circuit, 24 A memory unit and 25 SDTI header generator, 27 Scramble / NRZI modulator, 31, and 32. A detector, 35 latch circuitry, 36 to 38 and 42. A pulse generator and 71 A header detector and 72 switches, 73 A helper detector and 74 [ An extracting circuit and 95 / Recorder ] A mall processing circuit, 75LSB detector, and 76 A mall reconstruction machine and 77 A selection circuitry, 78 MPEG2 encoders, 79 SDTI packet extractor, 80 MPEG 2 user-datum encoder, and 92

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2001-157179  
(P2001-157179A)

(43)公開日 平成13年6月8日(2001.6.8)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	フォーマット*(参考)	
H 0 4 N	7/08	H 0 4 J	3/00	N
	7/081	H 0 4 N	7/08	Z
H 0 4 J	3/00		5/92	H
H 0 4 N	5/92		7/093	
	7/083			

審査請求 未請求 請求項の数18 O L (全 16 頁) 最終頁に続く

審査請求 未請求 請求項の数18 O L (全 16 頁) 最終頁に続く

(21)出願番号 特願平11-341313

(22)出願日 平成11年11月30日(1999. 11. 30)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 立沢 加一

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(74)代理人 100082131

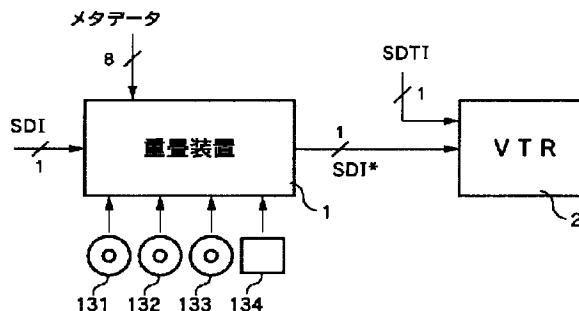
弁理士 稲本 義雄

(54)【発明の名称】 重畳装置および方法、データ処理装置および方法、並びに記録媒体

(57)【要約】

【課題】 各サンプルを、8ビットを単位として処理する装置に対して、10ビットを単位とするフォーマットのデータで、正確に伝送できるようにする。

【解決手段】 重畳装置1はSDIフォーマットのビデオデータに対して、必要に応じて、8ビットを単位として処理されるメタデータを、ビデオデータの垂直帰線期間のアクティブラインのユーザデータエリアに重畳し、ビデオテープレコーダ2に出力する。重畳装置1は、メタデータを重畳するとき、対応する水平帰線区間に、SDTIフォーマットのヘッダを挿入する。ビデオテープレコーダ2は、SDTIヘッダを検出したとき、対応する走査線のユーザデータとして、LSB側の8ビットを取得して処理する。



## 【特許請求の範囲】

【請求項1】 第1のビット数を単位とする第1のデジタルデータに、第2のデジタルデータを重畳する重畳装置において、前記第2のデジタルデータの単位のビット数を判定する判定手段と、前記判定手段の判定結果に対応して、前記第2のデジタルデータが、前記第1のビット数と異なる第2のビット数を単位とするものであるとき、前記第2のデジタルデータを、ヘッダを付加して、前記第1のデジタルデータに重畳する重畳手段とを備えることを特徴とする重畳装置。

【請求項2】 前記第1のデジタルデータは、ビデオデータであり、前記第2のデジタルデータは、メタデータであり、前記重畳手段は、前記ヘッダと前記メタデータを、前記ビデオデータの帰線区間に重畳することを特徴とする請求項1に記載の重畳装置。

【請求項3】 前記重畳手段は、前記ヘッダを、前記ビデオデータの水平帰線区間に重畳し、前記メタデータを、前記ビデオデータの垂直帰線区間に重畳することを特徴とする請求項2に記載の重畳装置。

【請求項4】 前記第1のビット数は、前記第2のビット数より大きいことを特徴とする請求項1に記載の重畳装置。

【請求項5】 前記第1のビット数は、10ビットであり、前記第2のビット数は、8ビットであることを特徴とする請求項4に記載の重畳装置。

【請求項6】 前記重畳手段は、前記第2のデジタルデータを、前記第1のビット数のLSB側に重畳することを特徴とする請求項4に記載の重畳装置。

【請求項7】 前記重畳手段は、前記第1のデジタルデータを、SDIフォーマットのデータとして処理できるように重畳するとともに、前記ヘッダとして、SDTIフォーマットのヘッダを重畳することを特徴とする請求項1に記載の重畳装置。

【請求項8】 第1のビット数を単位とする第1のデジタルデータに、第2のデジタルデータを重畳する重畳装置の重畳方法において、前記第2のデジタルデータの単位のビット数を判定する判定ステップと、前記判定ステップでの判定結果に対応して、前記第2のデジタルデータが、前記第1のビット数と異なる第2のビット数を単位とするものであるとき、前記第2のデジタルデータを、ヘッダを付加して、前記第1のデジタルデータに重畳する重畳ステップとを含むことを特徴とする重畳方法。

【請求項9】 第1のビット数を単位とする第1のデジタルデータに、第2のデジタルデータを重畳する重畳装

置を制御するプログラムにおいて、前記第2のデジタルデータの単位のビット数を判定する判定ステップと、前記判定ステップでの判定結果に対応して、前記第2のデジタルデータが、前記第1のビット数と異なる第2のビット数を単位とするものであるとき、前記第2のデジタルデータを、ヘッダを付加して、前記第1のデジタルデータに重畳する重畳ステップとを含むことを特徴とするコンピュータが読み取り可能なプログラムが記録されている記録媒体。

【請求項10】 第1のデジタルデータを第2のデジタルデータが重畳されている状態で入力し、処理するデータ処理装置において、前記第1のデジタルデータを取得する取得手段と、前記取得手段により取得された前記第1のデジタルデータから、ヘッダを検出する検出手段と、前記検出手段の検出結果に対応して、前記ヘッダが検出された場合、前記第2のデジタルデータを、第1のビット数を単位とするデータとして処理する第1の処理手段と、前記検出手段の検出結果に対応して、前記ヘッダが検出されない場合、前記第2のデジタルデータを、第1のビット数と異なる第2のビット数を単位とするデータとして処理する第2の処理手段とを備えることを特徴とするデータ処理装置。

【請求項11】 前記第1のデジタルデータは、ビデオデータであり、前記第2のデジタルデータは、メタデータであり、前記第1の処理手段と第2の処理手段は、前記メタデータを、前記ビデオデータの帰線区間から抽出し、処理することを特徴とする請求項10に記載のデータ処理装置。

【請求項12】 前記第1の処理手段は、前記ヘッダを、前記ビデオデータの水平帰線区間から抽出して処理するとともに、前記メタデータを、前記ビデオデータの垂直帰線区間から抽出して処理し、前記第2の処理手段は、前記メタデータを、前記ビデオデータの垂直帰線区間から抽出して処理することを特徴とする請求項11に記載のデータ処理装置。

【請求項13】 前記第1のビット数は、前記第2のビット数より大きいことを特徴とする請求項10に記載のデータ処理装置。

【請求項14】 前記第1のビット数は、10ビットであり、前記第2のビット数は、8ビットであることを特徴とする請求項13に記載のデータ処理装置。

【請求項15】 前記第1の処理手段と第2の処理手段は、前記第2のデジタルデータを、前記第1のビット数のLSB側から抽出し、処理することを特徴とする請求項14に記載のデータ処理装置。

【請求項16】 前記第1の処理手段と第2の処理手段は、前記第1のデジタルデータを、SDIフォーマットのデータとして処理し、前記検出手段は、前記ヘッダとして、SDTIフォーマットのヘッダを検出することを特徴とする請求項10に記載のデータ処理装置。

【請求項17】 第1のデジタルデータを第2のデジタルデータが重畳されている状態で入力し、処理するデータ処理装置のデータ処理方法において、前記第1のデジタルデータを取得する取得ステップと、前記取得ステップの処理により取得された前記第1のデジタルデータから、ヘッダを検出する検出ステップと、前記検出ステップの処理の検出結果に対応して、前記ヘッダが検出された場合、前記第2のデジタルデータを、第1のビット数を単位とするデータとして処理する第1の処理ステップと、前記検出ステップの処理の検出結果に対応して、前記ヘッダが検出されない場合、前記第2のデジタルデータを、第1のビット数と異なる第2のビット数を単位とするデータとして処理する第2の処理ステップとを含むことを特徴とするデータ処理方法。

【請求項18】 第1のデジタルデータを第2のデジタルデータが重畳されている状態で入力し、処理するデータ処理装置を制御するプログラムにおいて、前記第1のデジタルデータを取得する取得ステップと、前記取得ステップの処理により取得された前記第1のデジタルデータから、ヘッダを検出する検出ステップと、前記検出ステップの処理の検出結果に対応して、前記ヘッダが検出された場合、前記第2のデジタルデータを、第1のビット数を単位とするデータとして処理する第1の処理ステップと、前記検出ステップの処理の検出結果に対応して、前記ヘッダが検出されない場合、前記第2のデジタルデータを、第1のビット数と異なる第2のビット数を単位とするデータとして処理する第2の処理ステップとを含むことを特徴とするコンピュータが読み取り可能なプログラムが記録されている記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、重畳装置および方法、データ処理装置および方法、並びに記録媒体に関し、特に、単位となるビット数が異なるデジタルデータを、後段に正確に伝送し、処理させることができるようにした、重畳装置および方法、データ処理装置および方法、並びに記録媒体に関する。

【0002】

【従来の技術】ビデオ機器の普及に伴い、ビデオデータを伝送する各種の規格が規定されている。例えば、映画テレビ技術者協会(SMPTE(Society of Motion Picture and Television Engineers))は、259Mとして、ITU(International Telecommunication Union)

—R BT.601に準拠して、アンシラリビデオデータをシリアル伝送する規格として、SDI(Serial Digital Interface)を規定している。

【0003】このSDIによれば、例えば、図1に示すように、奇数フィールドと偶数フィールドのそれぞれの左側の、EAV(End Of Active Video)からSAV(Start Of Active Video)までの間に、Hアンシラリとして、補助データを挿入することができるようになされている。

【0004】また、奇数フィールドにおいては、ライン1からライン20までの間に、Vアンシラリとして、補助データを挿入することができ、また、偶数フィールドにおいては、ライン264からライン283までの間に、Vアンシラリとして、補助データを重畳することができるようになされている。奇数フィールドにおいてはまた、ライン10からライン20までの間がオプションとしてのビデオデータを挿入することができるようになされており、偶数フィールドにおいては、ライン273からライン283までの間に、オプションとしてのビデオデータを挿入することができるようになされている。そして奇数フィールドにおいては、ライン20からライン264までが、有効なビデオデータとしてのアクティブビデオデータとされ、偶数フィールドにおいては、ライン283から最後のラインまでがアクティブビデオデータとされている。

【0005】図2は、ビデオ信号の1ラインを表している。図2(A)は、アナログ信号を表しており、図2(B)は、この1ライン分のアナログ信号をデジタル化する場合のフォーマットを表している。同図に示すように、アクティブビデオデータは、番号0から番号1439までの1440個のサンプルで表されるようになされており、この間に、720サンプルの輝度データY、360サンプルの色差データCb、360サンプルの色差データCrが、それぞれCb、Y、Cr、Yの順に多重化される。

【0006】有効水平ブランキング(帰線)区間は、268サンプルとされ、その左側の4サンプル分がEAVとされ、その右側の4サンプル分がSAVとされる。各サンプルは、10ビットにより表されるようになされている。

【0007】垂直帰線区間に、補助データをVアンシラリとして、重畳する場合、そのフォーマットは、SMPTE 291Mにより、図3に示すように規定されている。同図に示すように、SAVとEAV(図1の右側のEAVに対応する)の間に、必要な数(N個)のパケットが配置される。各パケットの先頭には、ADF(Ancillary Data Flag)が配置されている。このADFは、そのパケットが、アンシラリデータであることを表しており、具体的には、その値は、最初の10ビットが0x000とされ、次の10ビットが0x3FFとされ、最後の10ビットが0

x3FFとされる(0xは16進数であることを表す)。

【0008】次の10ビットのうち、LSB(Least Significant Bit)側の8ビットに、DID(Data ID)が配置され、次の10ビットの下位8ビットには、SDID(SecondaryData ID)が配置されている。

【0009】DC(Data Count)は、その次のUDW(User Data Word)のサンプル数を表している。UDWは、補助データの実体を構成するものである。

【0010】以上のDID乃至UDWまでの各サンプルのMSB(Most Significant Bit)(ビットb9)は、1つ下位のビット(ビットb8)の反転ビット(ビットb8が0ならば1、1ならば0)が配置される。ビットb8は、ビットb7からビットb0までの偶数パリティビットとされている。

【0011】パケットの最後には、誤り検出用のチェックサムCS(Checksum)が配置されている。このチェックサムCSは、ビットb8からビットb0までの9ビットで構成され、MSBは、やはり、ビットb8の反転ビットとされる。

【0012】このような構成のパケットが必要な数だけタイミングリファレンス信号としてのSAVとEAVの間に配置される。

【0013】

【発明が解決しようとする課題】図3に示すUDWとして、メタデータ(Meta Data)を伝送する場合、SMPTEの291Mにおいて、LSB側の8ビットを使用して転送することが規定されている。

【0014】なお、メタデータとは、ビデオやオーディオの主たるデータ(エッセンス)に付帯するデータであり、データアバウトデータ(Data About Data)とも称される。

【0015】これに対して、テレテキスト、VITC(Vertical Interval Time Code)、或いは、テストビデオデータのようなデータ(以下、これらをまとめて、アンシラリビデオデータと称する)を、Vアンシラリデータとして、垂直帰線区間に重畳する場合、8種類の禁止コード(0x000, 0x001, 0x002, 0x003, 0x3FC, 0x3FD, 0x3FE, 0x3FF)を除いて、MSBからLSBまでの10ビットがすべて使用される。

【0016】SDIのデータを、各サンプルが10ビットを単位として表されているものとして処理する能力を有する装置は、アンシラリビデオデータとメタデータのいずれをも正確に抽出し、処理することが可能である。しかしながら、SDIフォーマットで転送されてきたデータを、各サンプルが8ビットを単位として構成されているものとして処理する能力しか有していない装置が受け取った場合、通常、MSB側の8ビットが取り込まれるの

で、アンシラリビデオデータは、実用的にはそれほど問

題なく処理することが可能である。しかしながら、291Mでは、メタデータは、MSB側の2ビットが、そもそもメタデータを構成するビットではないので、正確な処理を行うことが困難となる。

【0017】そこで、各サンプルが、8ビットを単位として構成されるメタデータを伝送する場合、8ビットの各サンプル値の上位6ビットだけを抽出し、その6ビットをSDIフォーマットの10ビットのうちのMSB側に配置するようにすることで、対処することも可能である。

【0018】しかしながら、そのようにすると、8ビットから6ビットへのデータを変換するためのマッピング処理が必要となり、ハードウェアの構成が、それだけ複雑となるばかりでなく、本来、容量的には、8ビット伝送できるにも関わらず、6ビットしか伝送しないので、伝送容量が有効に利用されないことになる。

【0019】本発明はこのような状況に鑑みてなされたものであり、メタデータを正確に伝送することができるようにするものである。

【0020】

20 【課題を解決するための手段】請求項1に記載の重畳装置は、第2のデジタルデータの単位のビット数を判定する判定手段と、判定手段の判定結果に対応して、第2のデジタルデータが、第1のビット数と異なる第2のビット数を単位とするものであるとき、第2のデジタルデータを、ヘッダを付加して、第1のデジタルデータに重畳する重畳手段とを備えることを特徴とする。

【0021】前記第1のデジタルデータは、ビデオデータとし、第2のデジタルデータは、メタデータとし、重畳手段には、ヘッダとメタデータを、ビデオデータの帰線区間に重畳させるようにすることができる。

【0022】前記重畳手段には、ヘッダを、ビデオデータの水平帰線区間に重畳させ、メタデータを、ビデオデータの垂直帰線区間に重畳させるようにすることができる。

【0023】前記第1のビット数は、第2のビット数より大きくすることができる。

【0024】前記第1のビット数は、10ビットとし、第2のビット数は、8ビットとすることができる。

【0025】前記重畳手段には、第2のデジタルデータを、第1のビット数のLSB側に重畳させるようにすることができる。

【0026】前記重畳手段には、第1のデジタルデータを、SDIフォーマットのデータとして処理できるように重畳させるとともに、ヘッダとして、SDIフォーマットのヘッダを重畳させるようにすることができる。

【0027】請求項8に記載の重畳方法は、第2のデジタルデータの単位のビット数を判定する判定ステップと、判定ステップでの判定結果に対応して、第2のデジタルデータが、第1のビット数と異なる第2のビット数を単位とするものであるとき、第2のデジタルデータ

を、ヘッダを付加して、第1のデジタルデータに重畳する重畳ステップとを含むことを特徴とする。

【0028】請求項9に記載の記録媒体に記録されているプログラムは、第2のデジタルデータの単位のビット数を判定する判定ステップと、判定ステップでの判定結果に対応して、第2のデジタルデータが、第1のビット数と異なる第2のビット数を単位とするものであるとき、第2のデジタルデータを、ヘッダを付加して、第1のデジタルデータに重畳する重畳ステップとを含むことを特徴とする。

【0029】請求項10に記載のデータ処理装置は、第1のデジタルデータを取得する取得手段と、取得手段により取得された第1のデジタルデータから、ヘッダを検出する検出手段と、検出手段の検出結果に対応して、ヘッダが検出された場合、第2のデジタルデータを、第1のビット数を単位とするデータとして処理する第1の処理手段と、検出手段の検出結果に対応して、ヘッダが検出されない場合、第2のデジタルデータを、第1のビット数と異なる第2のビット数を単位とするデータとして処理する第2の処理手段とを備えることを特徴とする。

【0030】前記第1のデジタルデータは、ビデオデータとし、第2のデジタルデータは、メタデータとし、第1の処理手段と第2の処理手段には、メタデータを、ビデオデータの帰線区間から抽出し、処理させるようにすることができる。

【0031】前記第1の処理手段には、ヘッダを、ビデオデータの水平帰線区間から抽出して処理させるとともに、メタデータを、ビデオデータの垂直帰線区間から抽出して処理させ、第2の処理手段には、メタデータを、ビデオデータの垂直帰線区間から抽出して処理させるようにすることができる。

【0032】前記第1のビット数は、第2のビット数より大きくすることができる。

【0033】前記第1のビット数は、10ビットとし、第2のビット数は、8ビットとすることができる。

【0034】前記第1の処理手段と第2の処理手段には、第2のデジタルデータを、第1のビット数のLSB側から抽出し、処理させるようにすることができる。

【0035】前記第1の処理手段と第2の処理手段には、第1のデジタルデータを、SDIフォーマットのデータとして処理させ、検出手段には、ヘッダとして、SDTIフォーマットのヘッダを検出させるようにすることができる。

【0036】請求項17に記載のデータ処理方法は、第1のデジタルデータを取得する取得ステップと、取得ステップの処理により取得された第1のデジタルデータから、ヘッダを検出する検出ステップと、検出ステップの処理の検出結果に対応して、ヘッダが検出された場合、第2のデジタルデータを、第1のビット数を単位とするデータとして処理する第1の処理ステップと、検出ステ

ップの処理の検出結果に対応して、ヘッダが検出されない場合、第2のデジタルデータを、第1のビット数と異なる第2のビット数を単位とするデータとして処理する第2の処理ステップとを含むことを特徴とする。

【0037】請求項18に記載の記録媒体に記録されているプログラムは、第1のデジタルデータを取得する取得ステップと、取得ステップの処理により取得された第1のデジタルデータから、ヘッダを検出する検出ステップと、検出ステップの処理の検出結果に対応して、ヘッダが検出された場合、第2のデジタルデータを、第1のビット数を単位とするデータとして処理する第1の処理ステップと、検出ステップの処理の検出結果に対応して、ヘッダが検出されない場合、第2のデジタルデータを、第1のビット数と異なる第2のビット数を単位とするデータとして処理する第2の処理ステップとを含むことを特徴とする。

【0038】請求項1に記載の重畳装置、請求項8に記載の重畳方法、および請求項9に記載の記録媒体に記録されているプログラムにおいては、第2のデジタルデータが、第2のビット数を単位とするものであると判定されたとき、ヘッダを付加して第1のデジタルデータに重畳される。

【0039】請求項10に記載のデータ処理装置、請求項17に記載のデータ処理方法、および請求項18に記載の記録媒体に記録されているプログラムにおいては、第1のデジタルデータからヘッダが検出された場合、第1のデジタルデータは、第1のビット数を単位として処理され、ヘッダが検出されない場合、第2のビット数を単位として処理される。

【0040】

【発明の実施の形態】図4は、本発明を適用した重畳システムの構成例を表している。このシステムは、重畳装置1とビデオテープレコーダ(VTR)2により構成されている。

【0041】重畳装置1には、VTR2に記録するエッセンスとしてのビデオデータが、SDIフォーマットで供給されている。また、重畳装置1には、エッセンスとしてのビデオデータの垂直帰線区間に重畳するユーザデータとして、8ビットで各サンプルが表されているメタデータ(その詳細は後述する)が供給される。重畳装置1は、メタデータを必要に応じて、アンシラリデータとして、エッセンスとしてのビデオデータの垂直帰線区間に重畳し、SDIフォーマットの信号として、VTR2に出力する。VTR2には、また、SDTI(Serial Data Transform Interface)フォーマットのデータも供給されており、VTR2は、2つの入力的一方を選択して、装着されている磁気テープに記録する処理を実行する。

【0042】なお、重畳装置1においては、後述するように、メタデータがビデオデータの垂直帰線区間に重畳された場合、SDTIフォーマットのヘッダが、そのメタデ



ータが挿入されたラインの水平帰線区間に重畳される。このデータは、SDIフォーマットのデータと互換性を有するが、SDIフォーマットのデータそのものとは異なっている。そこで、このフォーマットを本発明においては、SDI<sup>+</sup>として、表現している。

【0043】ここで、メタデータ (Metadata) について説明する。メタデータは、一般にData About Dataとも称され、エッセンス (Essence) データに付帯するデータである。エッセンスデータとは、ビデオ、オーディオといった各種の主データある。メタデータは、次のような複数のクラスに分類される。

【0044】Class1: Essential Metadata  
Essenceの主要な情報を要約するデータである。  
UMID (Unique Material Identifier)、Title、Project Title、Scene Title、Short Title、Take Number、Active画像Sample情報などが含まれる。

【0045】Class2: Access  
EssenceへのAccessを示す、IPR(Intellectual Property Right) 関連の情報などである。  
IP Owner、Copyright Status、Address (City、State、Country Postal Code) Original Producerなどが含まれる。

【0046】Class3: Parametrics  
Essenceを生成するものであり、Camera、Sensor情報などである。  
Re-coding Parameters、Device ID、Colorimetry、Gamma、Rounding、Filtering、Camera Relative Positionなどが含まれる。

【0047】Class4: Composition  
Essenceの構成、変遷を示す、Edit Decision Listのパラメータ、変遷の履歴などである。  
Source Of Original Composition、Film Source、Telecine情報、Video Source、Heritage、Compression Algorithmなどが含まれる。

【0048】Class5: Relational  
時間、相関などを示す、Time Codeや同期マーキングである。  
Video Time Stamp、12M Timecode、309M Date Timecode、Child ID、Parent IDなどが含まれる。

【0049】Class6: Geospatial  
Camera、Sensorなどの空間情報である。  
Angle\_To\_North、Field of View、Frame Center Latitude、Frame Center、Longitudeなどが含まれる。

【0050】Class7: Descriptive  
Indexing、Caraloging、Administering、Searching、Retrievingに係わるものである。  
Theme、Place、Temporal、Descriptive、Abstract、Purpose、Comments、Credits、Performing Artists、Names、Assessmentなどが含まれる。

【0051】その他のClassとして、Class8: Publicly Registered、Class9: Organizationally Registered、Class10: Experimental、Class11: Setsがある。

【0052】次に、図5のフローチャートを参照して、図4の重畳装置1の動作について説明する。ステップS1において、重畳装置1は、SDIフォーマットで供給されてきたビデオデータの垂直帰線区間に、メタデータを重畳するか否かを判定する。メタデータを重畳する場合、ステップS2に進み、重畳装置1は、メタデータを重畳するラインの水平帰線区間に、SDTIヘッダを付加する。そしてステップS3において、重畳装置1は、重畳するライン (垂直帰線区間中のライン) のユーザデータとして、10ビット幅のうちの下位8ビットにメタデータを重畳する。

【0053】図6は、この場合のメタデータが重畳されるラインのデータフォーマットを表している。その基本的な構成は、図2(B)に示した場合と同様である。すなわち、メタデータ以外のデータを挿入する場合、図7に示すように、SDTIヘッダが挿入されないフォーマットとされるが、メタデータを挿入する場合、図6に示すように、EAVとSAVの間の有効水平帰線区間中に、アンシラリデータとしてSDTIヘッダが重畳される。そしてSAVより後の1440ワードのペイロード部分のユーザデータのエリアにメタデータが配置される。ユーザデータのさらに後方には、誤り検出訂正用のCRC (Cyclic Redundancy Check) コードが挿入される。このCRCの対象とされるデータは、ユーザデータのみである。

【0054】なお、ユーザデータは、ビットレートが270Mbit/sである場合、上述したように、1440ワードとされるが、360Mbit/sの場合、1920ワードとされる。

【0055】重畳装置1は、各ラインのデータを、スクランブルするとともにNRZI (Non Return to Zero Inverted) 変調して出力する。

【0056】図8は、図6に示した、SDTIヘッダの構成を表している。同図に示すように、このSDTIヘッダを構成するパケットは、53ワード (1ワードは10ビット) で構成され、0x3FFF、0x0000、0x0000とXYZのEAVの直後に配置される。その先頭には、番号0から番号2までの3サンプルに0x0000、0x3FFF、0x3FFFの値のADFが配置される。ADFの次には、DIDとSDIDが配置される。SDIDの次には、DCが配置される。これらの意味するところは、図3を参照して説明した場合と同様である。なお、ヘッダの場合、DIDとSDIDは、それぞれ、0x40または0x01とされる。

【0057】DCの次には、2ワードにより、このパケットが挿入されるライン番号 (ライン番号0とライン番号1) が表されており、さらにその次の2ワードには、この各ライン番号のCRC (ライン番号CRC0とライン番号CRC

C1) が配置されている。ライン番号は、データの継続性をチェックするためのものであり、NTSC方式のような525システムでは、1から525の値を取り、PAL方式のような625システムでは、1から625の値が記述される。

【0058】次のワードには、コードとAAI(Authorized Address Identifier) が配置される。ここでコードとは、ペイロード(SAVとEAVの間のいわゆるアクティブライン)の長さを表すものであり、ビットb0乃至b3までのLSB側の4ビットにより構成される。ペイロードの長さが1440ワードの場合、“0001”とされ、1920ワードの場合、“0010”とされる。このコードの値が“0000”であるとき、それは、非圧縮の4:2:2のデータが続くラインで伝送されることを表す。

【0059】AAIは、コードの上位4ビット(ビットb7乃至b4)で構成され、このパケットの発信元(Source)と宛先(Destination)のアドレスワードのフォーマットを規定する。その値の“0000”は、定義しないフォーマットであることを表し、その値の“0001”は、IPv6アドレスのフォーマットであることを表す。

【0060】IPv6は、Internet Protocol version 6を意味し、このフォーマットの場合、アドレスに128ビットが割り当てられる。

【0061】コードとAAIのワードのMSB側の2ビットは、偶数パリティビットとその反転ビットとされる。

【0062】コードとAAIのワードの次の16ワードは、宛先アドレスとされ、さらにその次の16ワードは、発信元アドレスとされる。宛先アドレスは、このパケットの宛先の装置のアドレスを表し、発信元アドレスは、このパケットを発信した装置のアドレスを表す。この宛先アドレスと発信元アドレスの各ワードのうち、ビットb7からビットb0までの8ビットによりアドレスが表され、ビットb8は、ビットb7からビットb0までの8ビットの偶数パリティビットとされ、MSBとしてのビットb9は、ビットb8の反転ビットとされる。

【0063】16バイトの全てが0で、かつAAI=“0000”の場合、それはインターフェースに接続された全ての機器に共通のアドレスを示すものとされる。また、この値は、発信元や宛先のアドレスが不要時のデフォルトの状態とされる。

【0064】発信元アドレスの次のワードはブロックタイプとされる。このブロックタイプは、ペイロードの分割方法を表す。そのMSB側の2ビットのうち、ビットb8は、ビットb7からビットb0までの偶数パリティビットとされ、MSBのビットb9は、ビットb8の反転ビットとされる。

【0065】このブロックタイプにより固定ブロックサイズと可変ブロックサイズのいずれかが選択可能とされ

る。固定ブロックサイズの場合、ECCなしの固定ブロックサイズのとき、ビットb7とビットb6は、“00”とされ、ECC付きの固定ブロックサイズの場合、“01”とされる。

【0066】固定ブロックサイズの場合、ビットb5から、ビットb0までの値に対応して、予め所定のブロックサイズが定められている。例えば、ビットb5乃至b0の値が、0x01であるとき、ブロックサイズは、1438ワードとされ、0x02であるとき、719ワードとされる。

【0067】可変ブロックサイズの場合、ビットb7とb6の値が“11”とされ、ビットb5乃至b0は、“000001”とされる。可変ブロックサイズの場合、自由なサイズの連続したブロックデータワードが許容される。次のデータパケットは、前のパケットの直後でも、次のラインでも伝送することができる。1ラインのペイロードを越えるブロック長の場合、ヘッダデータの中のコードとAAIからデータ拡張フラグ(後述する)までは、このブロックを伝送する各ラインで繰り返される。

【0068】ブロックタイプの次のワードには、CRCフラグが配置される。このワードのうち、ビットb7からb0までの値が0x01を表すとき、CRCはペイロードが最後に挿入されていることを表し、その値が0x00であるとき、CRCは、ペイロードに挿入されていないことを表す。その値の0x02乃至0xFFは、リザーブとされている。このワードのビットb8は、ビットb7からb0までの偶数パリティビットとされ、MSBのビットb9は、ビットb8の反転ビットとされる。

【0069】次の1ワードは、データ拡張フラグ(Data extension flag)とされる。このデータ拡張フラグは、ヘッダデータの後からSAVの前までの間に、拡張データパケット(伝送レートを上げるために、Hアンシラリ期間もデータ伝送に使用するためのパケット)があるかどうかを表している。そのビットb7からb0までの値が0x00であるとき、拡張パケットなしを表し、0x01は、1つの拡張パケットが存在することを表し、0x02は、2つの拡張パケットが存在することを表している。0x03乃至0xFFは、リザーブとされている。このワードのビットb8は、ビットb7からb0までの偶数パリティビットとされ、MSBのビットb9は、ビットb8の反転ビットとされる。

【0070】アンシラリパケットのユーザデータの大きさは、255ワードに制限されているので、360Mbit/sのシステムでは、0x02のフラグを使って2つの拡張パケットを送ることが可能である。

【0071】データ拡張フラグに続く、4ワード(リザーブ0乃至3)は、ヘッダ拡張リザーブのためのデータとされる。

【0072】ヘッダ拡張リザーブデータの次の2ワード

(ヘッダCRC0とヘッダCRC1)は、ヘッダCRCとされている。このヘッダCRCは、コードからリザーブデータまでの10ビット全てを対象とする。このヘッダCRCの生成多項式は、ライン番号CRCの生成多項式と同一とされる。

【0073】以上のライン番号からヘッダCRCまでの46ワードによりヘッダデータが構成されており、その次の1ワードに、誤り検出のためのチェックサムが配置されている。

【0074】図5に戻って、ステップS1において、重畳装置1は、メタデータを垂直帰線区間に重畳しないと判定した場合、ステップS4に進み、垂直帰線区間へのデータの重畳を禁止する処理を実行する。

【0075】図9は、重畳装置1の内部の構成例を表している。入力されたSDIフォーマットの信号は、割算器47に入力され、1/10で割算された後、クロック発生器48に供給される。クロック発生器48は、割算器47より入力された信号に同期して、27MHzの周波数のシステムクロックを生成し、各部に出力する。

【0076】入力された1ビットのSDIフォーマット信号はまた、シリアルパラレル変換器21により、10ビットのパラレルデータに変換された後、1H遅延回路22に供給される。1H遅延回路22は、入力されたデータを1ライン分遅延した後、重畳器23に出力する。メモリユニット24には、8ビットのメタデータが供給されている。メモリユニット24は、図示せぬ装置から入力される、ライトイネーブル信号に基づいて、メタデータを取り込み、取り込んだデータをリードイネーブル信号が入力されたとき、読み出して、重畳器23に出力する。重畳器23にはまた、SDTIヘッダ発生器25から供給されるSDTIヘッダが供給されている。

【0077】重畳器23は、1H遅延回路22、メモリユニット24、またはSDTIヘッダ発生器25より供給されたデータを重畳し、D型フリップフロップ26に出力する。D型フリップフロップ26は、重畳器23より供給されたデータを、システムクロックに同期してラッチした後、ラッチした結果をスクランブル/NRZI変調器27に供給する。スクランブル/NRZI変調器27は、入力されたデータをスクランブルするとともに、NRZI変調し、さらに、パラレルデータからシリアルデータに変換して、SDIフォーマットの信号としてVTR2に出力する。

【0078】シリアルパラレル変換器21より出力された信号はまた、ラッチ回路35と遅延器28に供給される。ラッチ回路35は、入力されたデータを1クロック分遅延する遅延器33より信号TPが、クロックとして供給されたタイミングで、シリアルパラレル変換器21より供給された10ビットのデータ(図8のEAVの直後のXYZのワード)をラッチする。

【0079】シリアルパラレル変換器21より出力された

10ビットのデータはまた、遅延器28に供給され、記憶される。遅延器28の後段には、遅延器29と遅延器30がさらにカスケードに接続されており、遅延器28乃至30は、システムクロックが入力されるタイミングで入力されたデータを保持するとともに、それまで保持していたデータを後段の遅延器に順次出力する。

【0080】検出器31は、遅延器30が出力する10ビットのデータ、遅延器29が出力する遅延器30に出力するデータを反転した10ビットのデータ、並びに遅延器28が遅延器29に出力するデータを反転した10ビットのデータの入力を受ける。検出器31は結局、連続する3ワード分のデータの入力を受けることになる。検出器31は、連続する3ワードがEAVまたはSAVであるとき、すなわち、'0x3FF'、'0x000'、'0x000'であるとき、検出信号を遅延器33を介して、ラッチ回路35に出力する。

【0081】検出器32には、遅延器30が検出器31に出力するデータを反転した10ビットのデータ、遅延器29が遅延器30に出力する10ビットのデータ、並びに遅延器28が遅延器29に出力する10ビットのデータが入力されている。検出器32は、これらのデータからADFを検出する。すなわち、連続する3ワードが'0x000'、'0x3FF'、'0x3FF'であるとき、検出信号を遅延器34を介して、パルス発生器37と、パルス発生器38に出力する。

【0082】遅延器33と遅延器34は、それぞれシステムクロックが入力されるタイミングで、検出器31または検出器32より供給される検出データを保持し、1クロック分遅延した後、それぞれ後段のラッチ回路35に出力するか、または、パルス発生器37とパルス発生器38に出力する。

【0083】ラッチ回路35は、遅延器33からパルスTPがクロック端子に入力されたタイミングにおいて、シリアルパラレル変換器21より供給された10ビットのデータ(図8のXYZのワード)をラッチする。このXYZワードのビットb7は、アクティブビデオのとき0とされ、垂直帰線期間のとき1とされる。またそのビットb6は、EAVのとき1とされ、SAVのとき0とされる。そこで、ラッチ回路35によりラッチされたデータのうち、ビットb7の値は、垂直帰線区間を表すデータVBLKとして、インバータ49により反転された後、NOR回路40の1つの入力端子に供給される。また、そのビットb6の値は、水平帰線区間を表す信号HBLKとして、パルス発生器36、パルス発生器42、インバータ44、並びにD型フリップフロップ41のクロック端子に供給される。

【0084】パルス発生器36は、ラッチ回路35より信号HBLKが入力されたタイミングでパルスRSPを発生し、パルス発生器37と、リトリガブルモノマルチバイブレータ39に出力する。

【0085】パルス発生器は、遅延器34よりパルスADFが入力されたとき、次のタイミングで、シリアルパラレル変換器21より供給されるDIDを見て、その値が0x40なら（ADFに続くパケットが、SDTIヘッダのパケットである場合）、高レベルの信号を出力し、パルス発生器36よりパルスRSPが入力するタイミングで高レベルの信号を低レベルに変化させる。パルス発生器38は、遅延器34よりパルスADFが入力されたとき、次のタイミングで、シリアルパラレル変換器21より供給されるDIDを見て、その値が0x40以外の値なら（ADFに続くパケットがSDTIヘッダのパケットではない場合）、その後のデータカウンタの値に対応する幅のパルスを発生し、リトリガラブルモノマルチバイブレータ39に出力する。リトリガラブルモノマルチバイブレータ39は、パルス発生器38より入力されるパルスにより、トリガされると、高レベルの信号をNOR40に出力する。リトリガラブルモノマルチバイブレータ39は、パルス発生器36よりパルスRSPが入力されると、リセットされる。

【0086】NOR回路40は、インバータ49を介して入力されるラッチ回路35の出力する信号VBLK、パルス発生器37の出力、およびリトリガラブルモノマルチバイブレータ39の出力の否定論理和を演算し、演算結果をD型フリップフロップ41のデータ端子に供給する。

【0087】D型フリップフロップ41は、NOR回路40より供給されたデータを、ラッチ回路35より出力される信号HBLKの立ち上がりエッジのタイミングでラッチし、ラッチした結果を、後段のAND回路43とAND回路45に出力する。

【0088】パルス発生器42は、信号HBLKの立ち上がりエッジに同期して、ヘッダパケットの長さに対応する53ワードの長さのパルスを発生し、AND回路43に出力する。AND回路43は、パルス発生器42の出力と、D型フリップフロップ41の出力の論理積を演算し、演算結果をSDTIヘッダ発生器25のイネーブル端子に供給するとともに、NOR回路46に供給する。

【0089】AND回路45は、ラッチ回路35が出力した信号HBLKをインバータ44により判定した信号と、D型フリップフロップ41の出力との論理積を演算し、演算結果をメモリユニット24にリードイネーブル信号として出力するとともに、NOR回路46に出力する。NOR回路46は、AND回路43の出力と、AND回路45の出力の否定論理和を演算し、演算結果を1H遅延回路22のイネーブル端子に供給する。

【0090】次に、図9の重畳装置1の動作について、図10のタイミングチャートを参照して説明する。シリアルパラレル変換器21は、入力されるSDIフォーマットのデータ（図10（A））をパラレルデータに変換する。遅延器28乃至30は、このデータの3ワード分をさらにパラレルデータとして、検出器31と検出器32

に出力する。検出器31は、遅延器28乃至30の出力する3ワード分のデータから、EAVまたはSAV（いずれも、0x3FF, 0x000, 0x000）を検出すると、検出パルスを発生する。この検出パルスは、遅延器33を介してラッチ回路35にクロックパルスTPとして供給される（図10（B））。

【0091】ラッチ回路35は、遅延器33から入力されるパルスに同期して、シリアルパラレル変換器21より供給される10ビットのデータをラッチする。その結果、ラッチ回路35のビットb6の出力は、遅延器33が出力するEAVの検出パルスに同期して、高レベルとなり、SAVの検出パルスに同期して、低レベルに変化する信号HBLKとなる（図10（C））。

【0092】パルス発生器36は、ラッチ回路35が出力する信号HBLKの立ち上がりエッジに同期して、パルスRSPを発生する（図10（D））。

【0093】また、ラッチ回路35が出力するビットb7の出力は、アクティブビデオの区間のとき低レベルとなり、垂直帰線区間のとき高レベルとなる信号VBLKとなる（図10（E））。

【0094】検出器32は、遅延器28乃至30の出力からADF（0x000, 0x000, 0x3FF）を検出すると、その検出信号を遅延器34を介して出力する（図10（F））。パルス発生器37は、遅延器34よりパルスADF（図10（F））が入力された場合、シリアルパラレル変換器21より入力されるDIDが0x40のとき（いま入力されているパケットが、SDTIヘッダのパケットのとき）、高レベルの信号を出力し、パルス発生器36よりパルスRSPが入力されると、低レベルの信号を出力する（図10（H））。

【0095】パルス発生器38は、遅延器34からパルスADF（図10（F））が入力された場合、シリアルパラレル変換器21より入力されるDIDが0x40以外のとき（いま入力されているパケットがSDTIヘッダのパケットではないとき）、その直後のデータカウンタの値に対応する長さの幅のパルスを発生し（図10（G））、リトリガラブルモノマルチバイブレータ39をトリガする。リトリガラブルモノマルチバイブレータ39は、パルス発生器38より供給されるパルス（図10（G））に同期して、トリガされる度に、出力するパルスの幅を延長し、パルス発生器36よりパルスRSP（図10（D））が入力されると、そのパルスの発生を中止する（図10（I））。

【0096】パルス発生器37の出力（図10（H））と、リトリガラブルモノマルチバイブレータ39の出力（図10（I））の論理和は、図10（J）に示すようになり、その論理和と、ラッチ回路35が出力する信号VBLKをインバータ49により反転した信号の論理和は、図10（K）に示すようになる。この図10（K）の信号を、この図10（C）の信号HBLKの立ち上がりエッジ

でラッチすると、図10(L)に示すようになる。実際には論理和ではなく、否定論理和がNOR回路40で演算され、その値がD型フリップフロップ41でラッチされるので、その出力は、図10(M)に示すようになる(図10(L)の反転出力となる)。

【0097】D型フリップフロップ41が出力する信号(図10(M))は、AND回路43の一方の入力に供給される。AND回路43の他方の入力には、パルス発生器42が出力する、SDTIヘッダの長さの幅のパルスが入力されているので、このパルスが、D型フリップフロップ41の出力が高レベルであるときに、SDTIヘッダ発生器25にイネブル信号として供給される(図10(N))。

【0098】SDTI発生器45は、AND回路43よりイネブル信号が供給されると、SDTIヘッダ信号を重畳器23に供給する(図10(Q))。

【0099】また、AND回路45は、D型フリップフロップ41の出力(図10(M))と、ラッチ回路35が出力する信号IBLK(図10(C))のインバータ44による反転信号との論理積を演算し、その演算結果をメモリユニット24のリードイネブル信号として出力する(図10(O))。メモリユニット24は、リードイネブル信号が入力されると、そこに記憶されているメタデータをユーザデータとして読み出し、重畳器23に出力する(図10(P))。

【0100】NOR回路46は、AND回路43の出力(第10図(N))と、AND回路45の出力(第10図(O))の否定論理和を演算し、その演算結果を、1H遅延回路22のイネブル端子に供給する(図10(R))。1H遅延回路22は、この信号が入力されると、記憶しているビデオデータを重畳器23に出力する。

【0101】重畳器23は、1H遅延回路22より供給されるエッセンスとしてのビデオデータ(図10(A))、SDTIヘッダ発生器25が出力するSDTIヘッダ、並びにメモリユニット24が出力するユーザデータとしてのメタデータ(図10(P))を重畳し、D型フリップフロップ26に出力する(図10(Q))。

【0102】D型フリップフロップ26は、重畳器23より供給されたデータをシステムクロックに同期してラッチし、後段のスクランブル/NRZI変調器27に供給する。スクランブル/NRZI変調器27は、D型フリップフロップ26より供給されたデータをスクランブルするとともに、NRZI変調し、さらにパラレルデータからシリアルデータに変換して、SDI<sup>+</sup>フォーマットのデータとして出力する。

【0103】以上のようにして、メタデータ、あるいは後述するヘルパが、垂直帰線期間中のラインのアクティブライン中に重畳される場合、その対応する水平帰線期間中に、SDTIフォーマットのヘッダが重畳され、その他

のアンシラリビデオデータ(テレテキスト、VITC、テストビデオデータなど)が多重化される場合、並びにユーザデータが挿入されない場合、ヘッダは重畳されない。

【0104】図11は、VTR2の構成例を表している。重畳装置1より供給されたSDI<sup>+</sup>のフォーマットのデータは、変換装置91に入力され、SDTIフォーマットのデータに変換された後、スイッチ93の接点bに供給される。一方、すでにSDTIフォーマットのデータとして入力されたデータは、抽出回路92で、MPEG2のビデオエレメンタリストリームとユーザデータuser\_data()が抽出され、スイッチ93の接点aに供給される。スイッチ93は、コントローラ94により、変換装置91からのデータを取り込むとき、接点b側に切り替えられ、抽出回路92からのデータを取り込むとき、接点a側に切り替えられる。スイッチ93により選択されたSDTIフォーマットのデータは、記録器95に供給され、図示せぬ磁気テープに記録される。

【0105】変換装置91のヘッダ検出器71は、SDI<sup>+</sup>のフォーマットのデータからSDTIフォーマットのヘッダを検出する。ヘッダ検出器71は、ヘッダが検出された場合、スイッチ72を接点a側に切り替え、検出されない場合、接点b側に切り替える。従って、SDTIフォーマットのヘッダを有するデータは、ヘルパ検出器73とSDTIパケット抽出器79に供給される。

【0106】ヘルパ検出器73は、入力されたデータにトムソン社(商号)が提唱するMPEG(Moving Picture Expert Group)の過去の符号化パラメータとしてのヘルパ(商標)が、垂直帰線区間中に存在する場合、これを検出し、検出した符号化パラメータを選択回路77に出力する。SDTIパケット抽出器79は、SDTIパケットを抽出し、抽出したパケットに含まれるユーザデータを構成するメタデータのうち、過去の符号化パラメータ(R e-coding Parameters)を含むヒストリデータを選択回路77に出力し、ヒストリデータ以外のSDTIのユーザデータ(メタデータ)を、MPEG2ユーザデータエンコーダ80に出力する。MPEG2ユーザデータエンコーダ80は、SDTIパケット抽出器79より入力されるSDTIのユーザデータと、MPEG2エンコーダ78より供給される過去の符号化パラメータを含むヒストリ情報を、MPEG2のピクチャストリームのユーザデータ(user\_data())にエンコードし、重畳器81に出力する。

【0107】スイッチ72の接点bから出力されたSDTIヘッダを含まないラインのデータ、すなわちアンシラリデータが挿入されていない通常のビデオデータ、メタデータ以外のアンシラリビデオデータが挿入されているラインのデータは、モールド処理回路74のLSB検出器75に供給される。LSB検出器75は、入力された各サンプルが10ビットで構成されるビデオデータのLSBを検出し、検出したLSBをモールド再構成器76に供給する。モールド再構成器76は、各サンプルのLSBの各ビットを複

数ビット集めて再構成し、過去の符号化パラメータを表すデータとして、選択回路77に出力する。なお、モール(商標)は、スネールアンドイーコックス社(商号)の提唱する過去の符号化パラメータを伝送する方式である。

【0108】選択回路77は、SDTIパケット抽出器79が出力するヒストリデータ、ヘルパ検出器73が出力するヘルパ、または、モール再構成器76が出力するモールのいずれかを選択し、MPEG2エンコーダ78に出力する。MPEG2エンコーダ78にはまた、スイッチ72の接点bからSDI<sup>\*</sup>のフォーマットのデータが直接供給されている。MPEG2エンコーダ78は、このデータを、選択回路77より供給された過去の符号化パラメータを必要に応じて利用して符号化(エンコード)する。そして符号化したデータ(MPEG2のエレメンタリストリーム)を重畳器81に供給するとともに、過去の符号化パラメータをヒストリ情報として加算器80に出力する。

【0109】重畳器81は、MPEG2ユーザデータエンコーダ80より入力されたMPEG2のユーザデータを、MPEG2エンコーダ78より供給されたSDTIフォーマットの符号化ストリームに重畳し、スイッチ93の接点bに出力する。

【0110】次に、その動作について説明する。SDTIフォーマットのデータを記録することが指令されている場合、コントローラ94は、スイッチ93を接点a側に切り替える。このとき、SDTIフォーマットのデータが抽出回路92に inputs され、そこで抽出されたMPEG2のビデオエレメンタリストリーム(MPEG2のユーザデータを含む)が、スイッチ93の接点aから記録器95に供給され、磁気テープに記録される。

【0111】一方、SDTI<sup>\*</sup>のフォーマットのデータの記録が指令されている場合、コントローラ94は、スイッチ93を接点b側に切り替えさせる。そして変換装置91により、図12のフローチャートに示すような処理が実行される。

【0112】すなわちこのとき、最初にステップS11において、ヘッダ検出器71は、入力されたSDI<sup>\*</sup>のフォーマットのデータに、SDTIフォーマットのヘッダが存在するか否かを判定し、存在する場合、これを検出する。ヘッダ検出器71は、ヘッダが検出されたとき、ステップS12において、スイッチ72を接点a側に切り替えさせ、ヘッダが検出されないとき、ステップS13において、スイッチ72を接点b側に切り替えさせる。

【0113】スイッチ72が接点b側に切り替えられたとき、SDI<sup>\*</sup>のフォーマットのビデオデータが、そのままMPEG2エンコーダ78に供給されるとともに、モール処理回路74のLSB検出器75に供給される。LSB検出器75は、入力された1サンプルが10ビットで構成されるデータのLSBを検出し、モール再構成器76に出力する。モール再構成器76は、複数のサンプルのLSBを集

めて再構成することで、それにより表される過去の符号化パラメータを検出する。検出された符号化パラメータは、選択回路77を介してMPEG2エンコーダ78に供給される。

【0114】MPEG2エンコーダ78は、モール再構成器76より供給される過去の符号化パラメータを利用して、スイッチ72の接点bから供給されるビデオデータを、MPEG2方式でエンコードし、MPEG2のSDTIフォーマットの符号化ストリームとして、重畳器81に出力する。

【0115】なお、MPEG2エンコーダ78は、10ビットを単位とするデータのうち、8ビットしか取り込むことができない場合には、MBS側の8ビットを取り込んで処理する。

【0116】このようにして、MPEG2エンコーダ78より出力された符号化ストリームは、重畳器81からスイッチ93の接点bを介して記録器95に供給され、磁気テープに記録される。

【0117】一方、スイッチ72が接点a側に切り替えられている場合、そのアクティブラインには、過去の符号化パラメータがメタデータ(ヘルパまたはヒストリ)として挿入されている。ヘルパ検出器73は、ヘルパが挿入されていればそれを検出し、選択回路77を介してMPEG2エンコーダ78に出力する。SDI<sup>\*</sup>フォーマットの場合、垂直帰線区間以外のアクティブラインにおいては、SDTIヘッダが挿入されていないので、そのアクティブラインのデータは、スイッチ72の接点bからMPEG2エンコーダ78に供給される。MPEG2エンコーダ78は、このビデオデータをヘルパ検出器73より供給される過去の符号化パラメータを利用してエンコードし、符号化ストリームをSDTIフォーマットの符号化ストリームとして重畳器81に出力する。

【0118】重畳器81より出力された符号化ストリームは、スイッチ93の接点bを介して記録器95に供給され、磁気テープに記録される。

【0119】さらにまた、垂直帰線期間中のアクティブラインに、メタデータとして、ヒストリデータが挿入されている場合、SDTIパケット抽出器79は、それを抽出し、選択回路77を介してMPEG2エンコーダ78に出力する。MPEG2エンコーダ78は、SDTIパケット抽出器79より供給されたヒストリデータ(過去の符号化パラメータ)を利用して、スイッチ72の接点bを介して入力された、非垂直帰線区間のアクティブラインのビデオデータをエンコードし、得られたMPEG2のSDTIフォーマットの符号化ストリーム重畳器81に出力する。

【0120】また、MPEG2ユーザデータエンコーダ80は、SDTIパケット抽出器79により抽出されたヒストリデータ以外のSDTIのユーザデータと、MPEG2エンコーダ78より供給されたそのエンコードに用いられなかった過去の符号化パラメータを、MPEG2のユーザデータuser

\_data()のフォーマットに変換し、加算器80に供給し、MPEG2エンコーダ78より供給される符号化ストリームに多重化させる。

【0121】加算器80の出力は、スイッチ93の接点bを介して記録器95に供給され記録される。

【0122】ヘルパ検出器73とSDTIパケット抽出器79は、各サンプルを単位としてしか取り込めない場合、SMPTEの291Mにより、LSB側から8ビットを取り込むことが規定されているので、この規定に従って、常に、LSB側の8ビットを取り込むことになる。図5のステップS3を参照して説明したように、本発明では、メタデータが、LSB側の8ビットに重畳される。従って、メタデータは、正確に取り込まれる。

【0123】ここで、SDTI (Serial Data Transport Interface) フォーマットおよびSDIフォーマットと、本願の発明の互換性について説明する。

【0124】SDTIフォーマットは、SMPTEの305Mとして規格化されたフォーマットであり、このフォーマットは、図13に示すように、SDIフォーマットと互換性を有している。

【0125】すなわち圧縮フォーマット変換器101には、9ビットの平行データと、1ビットのクロック入力供給される。圧縮フォーマット変換器101は、この9ビットのデータに1ビットのヘッダデータを付加し、合計10ビットのデータとしてSMPTEの259M、すなわちSDIのフォーマットの処理装置102にクロックとともに供給する。

【0126】処理装置102は、SDIエンコーダ111、処理装置112、およびSDIデコーダ113により構成される。SDIエンコーダ111は、10ビットの平行データを入力されるクロックに同期して、SDIフォーマットのデータに変換し、処理装置112に出力する。処理装置112は、上述した実施の形態の、例えば、VTR2に相当する。

【0127】処理装置112は、SDIフォーマットのデータを処理した後、SDIデコーダ113に出力する。SDIデコーダ113は、入力されたSDIフォーマットのデータをデコードし、10ビットの平行データと1ビットのクロックデータに変換して、圧縮フォーマット復元器103に出力する。

【0128】圧縮フォーマット復元器103は、入力された10ビットのデータから、1ビットのヘッダデータを除去した後、クロックとともに出力する。

【0129】SDTIフォーマットにおいては、図14に示すように、アクティブラインに、システムアイテムの他、SDTIのユーザデータとしてのピクチャアイテム、オーディオアイテム、または補助アイテムが挿入される。このとき、EAVとSAVの間のEAVの直後に、SDTIヘッダデータを配置することが規定されている。本発明においても、図6と図8に示すヘッダデータとし

て、この図14に示すヘッダと同一のフォーマットのヘッダが配置される。したがって、本発明のSDI<sup>\*</sup>のフォーマットのデータは、SDIフォーマットおよびSDTIフォーマットのデータと互換性があることになる。

【0130】なお、この図14のピクチャアイテムとして挿入されるビデオデータは、例えば、MPEG2方式で圧縮されたものである。これに対して、図1に示したSDIフォーマットにおける各フィールドのアクティブビデオデータは、圧縮されていない。

【0131】上述した一連の処理は、ハードウェアにより実行させることもできるが、ソフトウェアにより実行させることもできる。一連の処理をソフトウェアにより実行させる場合には、そのソフトウェアを構成するプログラムが、専用のハードウェアに組み込まれているコンピュータ、または、各種のプログラムをインストールすることで、各種の機能を実行することが可能な、例えば汎用のパーソナルコンピュータなどに、記録媒体からインストールされる。

【0132】例えば上述した一連の処理を、重畳装置1においてソフトウェアにより実行させる場合、この記録媒体は、図4示すように、コンピュータとは別に、ユーザにプログラムを提供するために配布される、プログラムが記録されている磁気ディスク131（フロッピーディスクを含む）、光ディスク132（CD-ROM(Compact Disk-Read Only Memory)、DVD(Digital Versatile Disk)を含む）、光磁気ディスク133（MD(Mini-Disk)を含む）、もしくは半導体メモリ134などよりなるパッケージメディアにより構成されるだけでなく、コンピュータに予め組み込まれた状態でユーザに提供される、プログラムが記録されているROMやハードディスクなどで構成される。

【0133】なお、本明細書において、記録媒体に記録されるプログラムを記述するステップは、記載された順序に沿って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

【0134】また、本明細書において、システムとは、複数の装置により構成される装置全体を表すものである。

【0135】

【発明の効果】以上の如く、請求項1に記載の重畳装置、請求項8に記載の重畳方法、および請求項9に記載の記録媒体に記録されているプログラムによれば、第2のデジタルデータが第2のビット数を単位とするものであるとき、ヘッダを付加して、第1のデジタルデータに重畳するようにしたので、第2のデジタルデータを正確に伝送し、処理させることが可能となる。

【0136】請求項10に記載のデータ処理装置、請求項17に記載のデータ処理方法、および請求項18に記載の記録媒体に記録されているプログラムによれば、ヘ

ッダが検出された場合、第2のデジタルデータを第1のビット数を単位とするデータとして処理し、ヘッダが検出されない場合、第2のデジタルデータを、第2のビット数を単位とするデータとして処理するようにしたので、第1のデジタルデータと、第2のビット数が異なる第2のデジタルデータを正確に抽出し、処理することが可能となる。

【図面の簡単な説明】

【図1】SDIフォーマットのアンシラリデータの挿入位置を説明する図である。

【図2】1ライン分のアナログ信号とデジタル信号を説明する図である。

【図3】1ライン分のアンシラリデータの構成を説明する図である。

【図4】本発明を適用したシステムの構成例を説明するブロック図である。

【図5】図4の重畳装置の動作を説明するフローチャートである。

【図6】図5のステップS2とS3の処理において生成される信号のフォーマットを説明する図である。

【図7】ヘッダが挿入されない場合の信号のフォーマットを説明する図である。

【図8】図6のヘッダデータの構成を示す図である。

【図9】図4の重畳装置の構成例を示すブロック図であ

＊る。

【図10】図9の重畳装置の動作のタイミングを示すタイミングチャートである。

【図11】図4のビデオテープレコーダの構成例を示すブロック図である。

【図12】図11のビデオテープレコーダの動作を説明するフローチャートである。

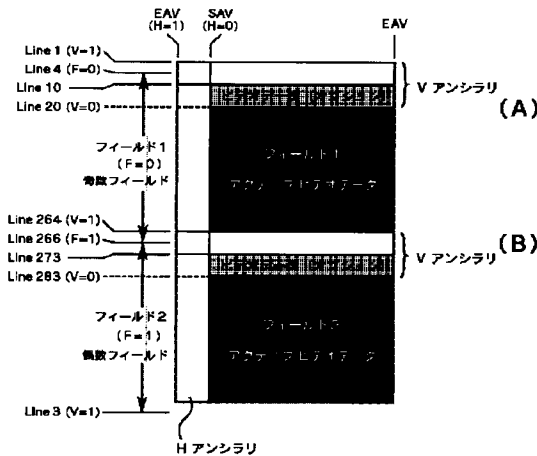
【図13】SDTIフォーマットの処理を説明する図である。

10 【図14】SDTIフォーマットの各フィールドにおける構成を説明する図である。

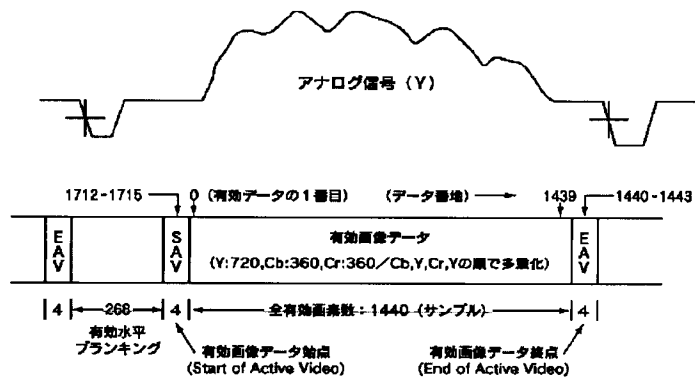
【符号の説明】

1 重畳装置, 2 ビデオテープレコーダ, 21 シリアルパラレル変換器, 22 1H遅延回路, 24 メモリユニット, 25 SDTIヘッダ発生器, 27 スクランブル/NRZI変調器, 31, 32 検出器, 35 ラッチ回路, 36乃至38, 42 パルス発生器, 71 ヘッダ検出器, 72 スイッチ, 73 ヘルパ検出器, 74 モール処理回路, 75 LSB検出器, 76 モール再構成器, 77 選択回路, 78 MPEG2エンコーダ, 79 SDTIパケット抽出器, 80 MPEG2ユーザデータエンコーダ, 92 抽出回路, 95 記録器

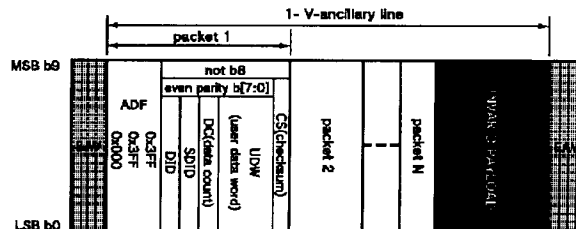
【図1】



【図2】

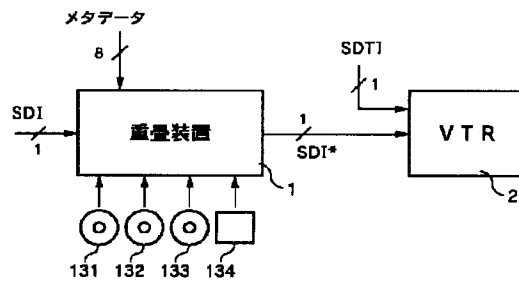


【図3】

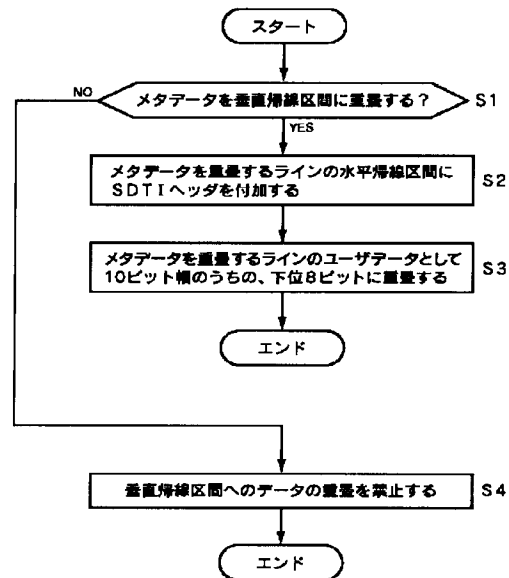




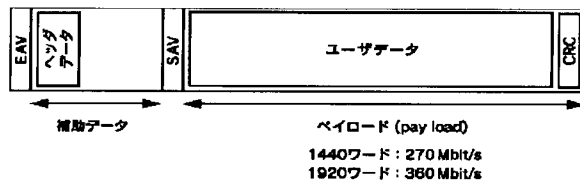
【図4】



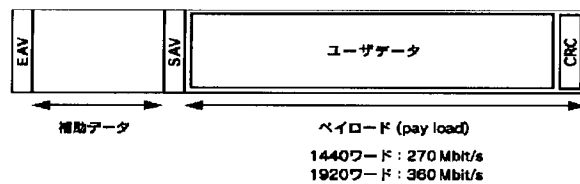
【図5】



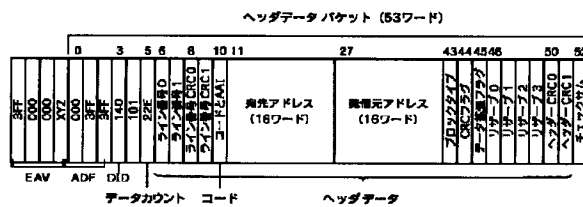
【図6】



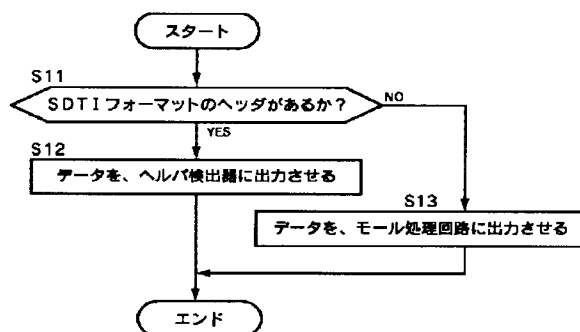
【図7】



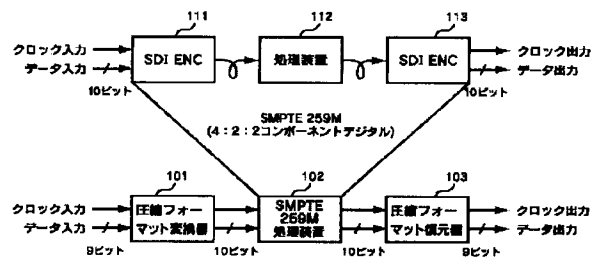
【図8】



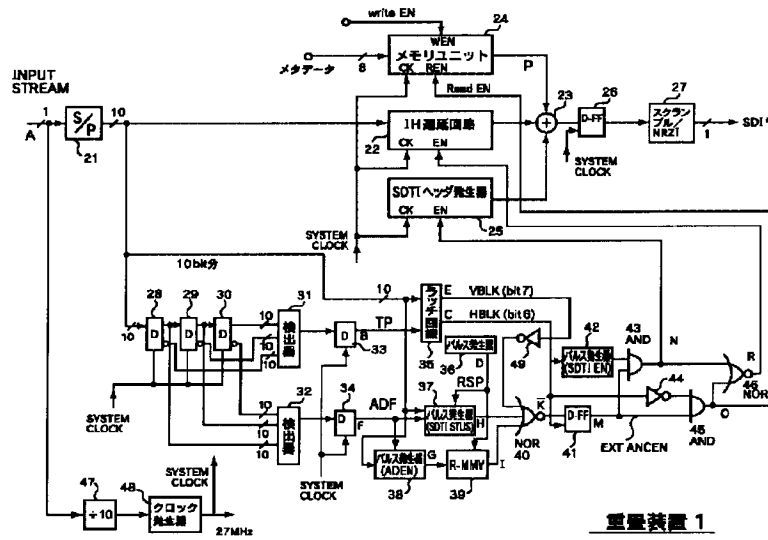
【図12】



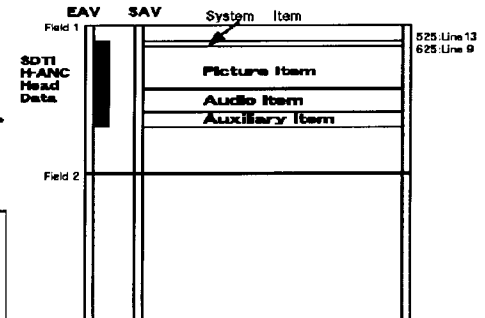
【図13】



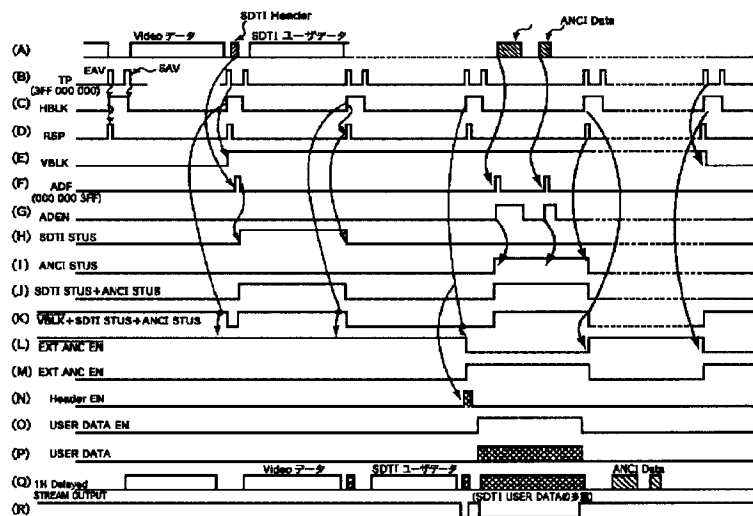
【図9】



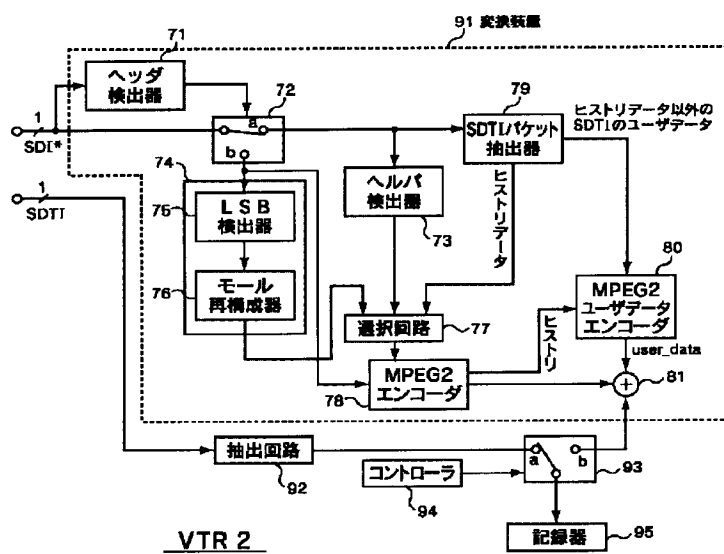
【図14】



【図10】



【図11】



フロントページの続き

(51)Int.Cl.<sup>7</sup>H 0 4 N 7/084  
7/085

識別記号

F I

テーマコード(参考)